

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 253/024

In re patent application of

Jong-Heui SONG, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: METHOD FOR FORMING A SELF-ALIGNED CONTACT HOLE IN A SEMICONDUCTOR DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA. 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

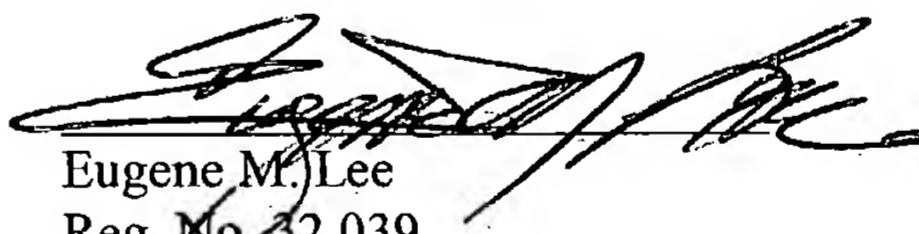
In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-39138, filed July 6, 2002.

Respectfully submitted,

June 30, 2003

Date

  
Eugene M. Lee  
Reg. No. 32,039  
Richard A. Sterba  
Reg. No. 43,162

LEE & STERBA, P.C.  
1101 Wilson Boulevard Suite 2000  
Arlington, VA 20009  
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 특허출원 2002년 제 39138 호  
Application Number PATENT-2002-0039138

출원 년 월 일 : 2002년 07월 06일  
Date of Application JUL 06, 2002

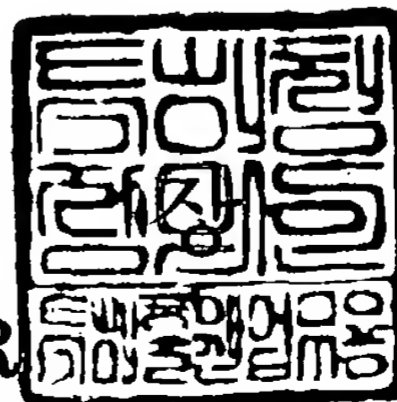
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 07 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2002.07.06  
**【발명의 명칭】** 반도체 장치에서 셀프 얼라인 콘택홀 형성 방법  
**【발명의 영문명칭】** Method for forming self-aligned contact hole in semiconductor device  
**【출원인】**  
**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3  
**【대리인】**  
**【성명】** 박영우  
**【대리인코드】** 9-1998-000230-2  
**【포괄위임등록번호】** 1999-030203-7  
**【발명자】**  
**【성명의 국문표기】** 송종희  
**【성명의 영문표기】** SONG, Jong Heui  
**【주민등록번호】** 660316-1638156  
**【우편번호】** 441-837  
**【주소】** 경기도 수원시 권선구 권선동 1265 보성아파트 611-1104  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 서준  
**【성명의 영문표기】** SEO, Jun  
**【주민등록번호】** 701012-1114216  
**【우편번호】** 441-400  
**【주소】** 경기도 수원시 권선구 곡반정동 한솔아파트 105-1102  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

1020020039138

출력 일자: 2002/7/25

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 26 면 26,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 804,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

공정 불량을 최소화할 수 있는 셀프 얼라인 콘택 형성 방법이 개시되어 있다. 반도체 기판상에 도전막 패턴 및 상기 도전막 패턴의 상부면 및 측벽에 보호막 패턴을 구비하는 도전성 구조물들을 형성한다. 상기 도전성 구조물들 사이를 매몰하도록 제1 절연막을 형성한다. 상기 제1 절연막 및 보호막 패턴 상부면의 일부를 순차적으로 에치백하여, 노출되는 보호막 패턴의 상부면이 평평해지도록 가공한다. 상기 결과물 전면에서 제2 절연막을 형성한다. 이어서, 상기 제2 절연막 및 제1 절연막의 소정 부위를 선택적으로 식각하여 상기 도전성 구조물들 사이에 반도체 기판이 노출되는 셀프 얼라인 콘택홀을 형성한다.

## 【대표도】

도 2e

## 【명세서】

## 【발명의 명칭】

반도체 장치에서 셀프 얼라인 콘택홀 형성 방법(Method for forming self-aligned contact hole in semiconductor device)

## 【도면의 간단한 설명】

도 1a 및 도 1e는 종래의 셀프-얼라인 콘택홀 형성 방법을 설명하기 위한 반도체 장치의 단면도들이다.

도 2a 내지 도 2h는 본 발명의 제1 실시예에 따른 셀프 얼라인 콘택 형성 방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3c는 동일한 식각 조건에서 실리콘 산화막 및 실리콘 질화막이 형성되어 있는 구조에 따른 식각 선택비를 설명하기 위한 단면도들이다.

도 4a 내지 도 4e는 본 발명의 제2 실시예에 따른 셀프 얼라인 콘택 형성 방법을 설명하기 위한 단면도들이다.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

100 : 기판

103 : 도전막 패턴

110, 110a, 110b : 제2 실리콘 질화막 패턴

112 : 질화막 라이너

114, 114a, 114b : 제1 절연막

116, 116a : 제2 절연막

120 : 셀프 얼라인 콘택홀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 셀프 얼라인 콘택홀 형성 방법에 관한 것으로, 보다 상세하게는, 구조물들 사이의 협소한 부위에 셀프 얼라인 방식으로 콘택홀을 형성하는 방법에 관한 것이다.

<14> 반도체 장치가 고집적화 및 고속화됨에 따라, 미세 패턴의 형성이 요구되고 있으며 배선의 폭(width) 뿐만 아니라 배선과 배선 사이의 간격(space)도 현저하게 감소하고 있다. 특히, 반도체 기판 내에 형성되어 있는 고립된 소자 영역들을 고전도성 박막을 사용하여 연결시키는 콘택(contact)의 형성은 얼라인 마진, 소자분리 마진 등을 확보하면서 이루어져야 하므로, 소자의 구성에 있어서 상당한 면적을 차지하게 된다. 따라서, 동일한 셀들이 반복적으로 형성되는 DRAM, SRAM 및 NVM과 같은 메모리 장치에 있어서, 상기 콘택은 메모리 셀의 크기를 결정하는 주요 요인으로 작용한다.

<15> 최근에는 0.25 $\mu$ m 이하의 반도체 공정 기술이 급속히 발전하고 있는데, 기존의 콘택 형성 방법으로는 미세한 크기의 콘택을 형성하기가 어렵다. 더욱이, 도전막 패턴의 폭이 감소함에 따라, 상기 도전막 패턴의 저항을 감소시키기 위해 상기 도전막 패턴의 높이가 점점 증가하고 있다. 이 때문에, 상기 도전막 패턴들 사이에 콘택을 형성하는 공정이 매우 어려워지고 있다. 이에 따라, 메모리 셀과 같이 디자

인 룰(design rule)에 여유가 없고 같은 형태의 패턴이 반복되는 경우, 셀 면적을 축소시키기 위하여 셀프-얼라인 방법으로 콘택홀을 형성하는 방법이 개발되었다.

<16> 도 1a 내지 도 1e는 종래의 셀프-얼라인 콘택홀 형성 방법을 설명하기 위한 반도체 장치의 단면도들이다.

<17> 도 1a를 참조하면, 기판(10) 상에 도전막을 형성하고 이어서, 질화막을 형성한다. 그리고, 상기 도전막 및 질화막의 소정 부위를 상기 기판이 노출되도록 식각하여, 도전막 패턴(12) 및 질화막 패턴(14)이 적층된 도전성 구조물(15)들을 형성한다.

<18> 도 1b를 참조하면, 상기 도전성 구조물(15) 및 기판(10)의 표면에 균일하게 질화막을 형성한다. 이어서, 상기 도전성 구조물(15)들의 측면에만 상기 질화막이 남아있도록 상기 질화막을 이방성 식각하여 질화막 스페이서(16)를 형성한다. 이 때, 상기 기판(10) 표면에 형성되어 있는 질화막이 완전히 제거되도록 식각하기 때문에, 상기 도전막 패턴(12) 상부에 형성되어 있는 질화막 패턴(14)의 상부면도 일부 식각된다. 때문에, 상기 질화막 패턴(14)의 상부면이 라운딩된다.

<19> 도 1c를 참조하면, 상기 질화막 스페이서(14)가 형성된 도전성 구조물(15)들 사이 공간을 채우도록 실리콘 산화막으로 이루어진 절연막(18)을 형성한다.

<20> 도 1d를 참조하면, 실리콘 산화막과 질화막 간의 선택비를 이용한 이방성 식각 공정으로, 상기 절연층(18a)의 소정 부위를 식각하여 스페이서(16a)가 형성되어 있는 도전성 구조물들 사이의 기판(10) 영역을 노출시켜 예비 콘택홀(20)을 형성한다. 그러나, 상기 스페이서(16a)가 형성되어 있는 도전성 구조물들 사이의 기판 영역이 노출되도록 상

기 절연층(18a)을 식각하면, 상기 식각 중에 노출되는 질화막 스페이서(16a)의 상부가 식각 선택비만큼 식각된다.

<21> 도 1e를 참조하면, 상기 결과물을 세정용 케미컬에 의해 세정하여 식각 중에 발생한 폴리머들을 제거함으로써, 셀프 얼라인 콘택홀(20)을 완성한다. 상기 세정 공정 시에 노출되어 있는 절연층(18b)의 일부가 식각된다.

<22> 그런데, 반도체 장치들이 고집적화되어 각 패턴들이 미세해짐에 따라, 종래의 방법에 의해 콘택홀을 형성할 경우에 다음과 같은 문제점들이 발생되고 있다.

<23> 첫째, 상기 도전성 구조물(도 1a, 15)들 사이의 간격이 매우 협소해짐에 따라 질화막 스페이서(16)의 두께도 감소되어야 한다. 상기 질화막 스페이서(16)의 두께가 두꺼우면 상기 도전성 구조물(15)들 사이는 더욱 협소하게 되고, 이에 따라 상기 구조물들 사이에 절연막(18)을 채워넣기가 매우 어렵다. 또한, 상기 질화막 스페이서(16)에 의해 기생 캐패시턴스가 증가된다. 그런데, 상기 질화막 스페이서(16)의 두께를 감소시킬 경우, 셀프 얼라인 콘택 형성 시에 소정 부위의 질화막 스페이서(16)가 소모되어 질화막 스페이서(16)내의 도전막 패턴(12)이 노출되기 쉽다. 이로 인해, 상기 도전막 패턴(12)과 상기 셀프 얼라인 콘택홀 내에 채워지는 도전 물질간의 브릿지가 빈번히 발생된다.

<24> 둘째, 상기 도전성 구조물(15)의 폭이 감소됨에 따라, 상기 질화막 스페이서(16)의 솔더 부위가 더 라운딩된다. 상기와 같이 질화막 스페이서(16)의 솔더 부위가 라운딩되면, 셀프 얼라인 콘택 형성 시에 상기 질화막 스페이서(16) 및 질화막 패턴(14a)의 소정 부위가 빠르게 식각되어 질화막 스페이서(16) 내의 도전막 패턴이 노출되기 쉽다.

- <25> 셋째, 상기 도전성 구조물(15)의 높이가 높아짐에 따라, 상기 콘택홀의 깊이가 깊어진다. 때문에, 콘택 낫 오픈 불량률 증가한다.
- <26> 넷째, 인접하는 콘택홀 간의 간격이 감소됨에 따라 절화막 스페이서(16) 상부에 남겨지는 절연막(18)이 매우 작고, 후속 공정들을 수행하면서 상기 남아있는 절연막(18)마저 식각되기 쉽다. 이로 인해, 후속 공정에서 각각의 콘택홀 내에 채워지는 도전 물질들이 서로 연결되는 불량률 반번히 발생된다.
- <27> 상기 셀프 얼라인 형성 시에 발생하는 불량을 방지하기 위한 방법의 일 예로, 미합중국 공개 특허 2000-0055867호에는 도전막 패턴 상에 SiN막으로 형성되는 제1 하드 마스크 패턴 및 폴리실리콘막으로 형성되는 제2 하드 마스크 패턴을 구비하여 셀프 얼라인 콘택을 구현하는 방법이 개시되어 있다. 상기 제2 하드 마스크 패턴은 상기 셀프 얼라인 콘택 형성 시에 상기 제1 마스크 패턴을 보호함으로써 브릿지 불량 등을 방지한다. 그러나 상기 방법에 의하면, 상기 제2 하드 마스크 패턴 형성 공정이 추가되어 공정이 복잡해지며, 또한 상기 제2 하드 마스크에 의해 구조물의 높이가 더 높아질 수 있기 때문에 콘택 낫 오픈 불량률 발생하기 쉽다.

#### 【발명이 이루고자 하는 기술적 과제】

- <28> 따라서, 본 발명의 목적은 공정 불량률 최소화할 수 있는 셀프 얼라인 콘택 형성 방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

- <29> 상기한 목적을 달성하기 위하여 본 발명은,

- <30> i) 반도체 기판상에 도전막 패턴 및 상기 도전막 패턴의 상부면 및 측벽에 보호막 패턴을 구비하는 도전성 구조물들을 형성하는 단계;
- <31> ii) 상기 도전성 구조물들 사이를 매몰하도록 제1 절연막을 형성하는 단계;
- <32> iii) 상기 제1 절연막 및 보호막 패턴 상부면의 일부를 순차적으로 에치백하여, 노출되는 보호막 패턴의 상부면이 평평해지도록 가공하는 단계;
- <33> iv) 상기 결과물 전면에 제2 절연막을 형성하는 단계; 및
- <34> v) 상기 제2 절연막 및 제1 절연막의 소정 부위를 선택적으로 식각하여 상기 도전성 구조물들 사이에 반도체 기판이 노출되는 셀프 얼라인 콘택홀을 형성하는 방법을 제공한다.
- <35> 본 발명에 의하면, 상기 iii) 단계에서 상기 보호막 패턴의 상부면이 평평해지므로, 상기 보호막 패턴이 종래에 비해 낮아져서 셀프 얼라인 콘택홀의 낮오픈 불량을 감소할 수 있다. 또한, 상기 콘택홀 형성을 위한 식각 공정 시에 상기 보호막 패턴과 상기 제1 및 제2 절연막 간의 식각 선택비가 향상되어, 상기 보호막 패턴의 소모를 감소시킬 수 있다.
- <36> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <37> 실시예 1.
- <38> 도 2a 내지 도 2h는 본 발명의 제1 실시예에 따른 셀프 얼라인 콘택 형성 방법을 설명하기 위한 단면도들이다. 이하에서 설명하는 셀프 얼라인 콘택은 소오스 또는 드레인 영역과 접촉하기 위해 게이트 전극들 사이로 형성되는 콘택이다.

- <39> 도 2a를 참조하면, 통상의 소자분리 공정, 예컨대 개량된 실리콘 부분 산화(LOCOS) 공정 또는 트랜치 소자 분리 공정등에 의해 반도체 기판(100) 상에 필드 산화막(도시안함)을 형성하여 상기 기판(100)을 액티브 영역과 필드 영역으로 구분한다.
- <40> 이어서, 상기 기판(100)상에 30 내지 100Å 정도의 얇은 게이트 산화막(도시하지 않음)을 성장시킨 후, 그 상부에 게이트 전극으로 사용하기 위한 도전막(102)을 형성한다. 상기 도전막(102)은 일반적으로 통상의 도핑 공정, 예컨대 확산 공정, 이온주입 공정 또는 인-시튜 도핑 공정에 의해 고농도의 불순물로 도핑된 폴리실리콘층(102a)을 약 1000Å 정도 형성하고, 이어서, 상기 폴리실리콘층(102a) 상부에 텅스텐 실리사이드층(102b)을 약 1500Å 정도 형성한 폴리사이드 구조를 갖는다.
- <41> 이어서, 상기 도전막(102) 상에 제1 실리콘 질화막(104)을 약 1800 내지 2000Å 정도 형성한다. 상기 제1 실리콘 질화막(104)은 후속의 도전막(102) 식각 공정에서 하드 마스크막으로 사용된다. 또한, 후속 공정들을 진행할 때, 상기 제1 실리콘 질화막(104) 하부에 위치하는 도전막(102)이 노출되지 않도록 상기 도전막(102)을 보호한다. 이 때, 상기 도전막(102)상에 형성되는 막은 상기 실리콘 질화막(104)에 한정되지는 않으며, 특정한 식각 공정 조건 하에서 실리콘 산화물( $\text{SiO}_2$ )과 식각 선택비를 갖는 물질이면 가능하다.
- <42> 도 2b를 참조하면, 상기 제1 실리콘 질화막(104), 도전막(102), 및 게이트 산화막(도시 안함)의 소정 부위를 순차적으로 식각하여, 게이트 산화막 패턴(도시 안함), 도전막 패턴(103) 및 제1 실리콘 질화막 패턴(105)으로 이루어지는 게이트 구조물(106)을 형성한다.

- <43> 이어서, 상기 게이트 구조물(106)을 마스크로 이용하여 불순물을 이온주입함으로써 액티브 영역의 표면에 트랜지스터의 소오스/드레인 영역(도시 안함)을 형성한다.
- <44> 도 2c를 참조하면, 상기 게이트 구조물(106) 및 기판(100)에 균일하게 제2 실리콘 질화막을 형성한다. 상기 제2 실리콘 질화막은 약 1300Å 정도의 두께로 형성한다. 이어서, 상기 게이트 구조물(106)의 측면에만 상기 제2 실리콘 질화막이 남아있도록 상기 실리콘 질화막을 이방성 식각하여 질화막 스페이서(108)를 형성한다. 이 때, 상기 기판(100) 표면에 형성되어 있는 실리콘 질화막이 완전히 제거되도록 이방성 식각하기 때문에, 상기 게이트 구조물(106)상부에 형성되는 제2 실리콘 질화막은 모두 제거되고 이어서 도전막 패턴(103) 상부에 형성되어 있는 제1 실리콘 질화막 패턴(105a)의 상부면까지 일부 식각된다. 특히, 식각 특성상 상기 제1 실리콘 질화막 패턴(105a)의 상부 가장자리 부분이 상기 제1 실리콘 질화막 패턴(105a)의 상부 중심 부분에 비해 많이 식각되어, 상기 제1 실리콘 질화막 패턴(105a)의 상부면이 라운딩된다.
- <45> 상기 설명한 공정들을 수행하면, 게이트 전극의 역할을 수행하는 도전막 패턴(103)의 측면 및 상부면에는 실리콘 질화막으로 캡핑된다. 이하에서는, 상기 도전막 패턴(103)에 캡핑되어 있는 제1 실리콘 질화막 패턴(105a) 및 질화막 스페이서(108)를 모두 포함하여 제2 실리콘 질화막 패턴(110)으로 지정하여 설명한다.
- <46> 그런데, 최근의 반도체 장치의 집적도가 매우 높아짐에 따라, 상기 게이트 전극의 선폭도 매우 미세해지고 있다. 또한, 상기 게이트 전극들 사이의 간격도 매우 조밀해지고 있다. 구체적으로, 상기 게이트 구조물(106)들 각각의 선폭은 0.25 $\mu$ m 이내로 감소하고 있으며, 상기 게이트 구조물(106)들 사이 간격도 0.1 $\mu$ m 이내로 감소하고 있다. 상기 와 같이 게이트 구조물(106)이 미세해지면, 상기 제2 실리콘 질화막 패턴(110)에서 상부

면 및 측면과의 경계 부위(이하, 솔더 부위)가 도시된 바와 같이 더욱 라운딩된 형태를 갖는다. 상기 제2 실리콘 질화막 패턴(110)의 솔더 부위가 라운딩된 형태를 가질 경우에는, 상기 솔더 부위에서 실리콘 질화막과 실리콘 산화막간의 식각 선택비가 감소된다. 즉, 실리콘 산화막만을 선택적으로 식각하기 위한 식각 조건하에서, 상기 실리콘 산화막 뿐 아니라 상기 솔더 부위의 실리콘 질화막까지 빠르게 식각되어 상기 실리콘 질화막 내부의 도전막 패턴이 노출되기 쉽다.

<47> 이어서, 상기 결과물 전면에 50 내지 300Å의 두께로 질화막 라이너(112)를 형성한다. 상기 질화막 라이너(112)는 후속 공정 시에 식각 저지막으로 사용하기 위한 막이다.

<48> 도 2d를 참조하면, 상기 제2 실리콘 질화막 패턴(110)에 의해 캡핑되어 있는 도전막 패턴(103)들 사이를 매몰하도록 제1 절연막(114)을 형성한다. 상기 도전막 패턴(103) 및 제2 실리콘 질화막 패턴(110)을 구비하는 구조물은 약 5000Å 정도로 높고, 상기 구조물들 사이 간격도 약 1000Å 이하로 매우 조밀하기 때문에, 상기 구조물 사이로 상기 제1 절연막(114)을 채워 넣기가 어렵다. 따라서, 제1 절연막(114)은 겹필 특성이 우수한 유동성 산화물 예컨대 BPSG(borophosphosilicate glass), USG(undoped silicate glass) 또는 SOG(spin on glass) 물질을 사용하여 형성한다.

<49> 도 2e를 참조하면, 상기 제1 절연막(114a) 및 상기 제2 실리콘 질화막 패턴(110a)의 상부 전면을 순차적으로 에치백하여, 상기 제2 실리콘 질화막 패턴(110a)의 상부면이 평평해지도록 가공한다. 그리고, 상기 공정에 의해, 상기 제1 절연막(114a)은 상기 실리콘 질화막 패턴(110a)에 비해 돌출되도록 한다. 상기와 같이 가공하는 방법의 일 예로 예컨대, 건식 식각 공정 또는 화학 기계적 연마 공정을 들 수 있다.

<50>      상기 건식 식각 공정은 상기 제1 절연막(114a)에 비해 상기 제2 실리콘 질화막 패턴(110a)의 식각 속도가 빠르도록 식각 조건을 지정하여 수행한다. 바람직하게는, 상기 제1 절연막(114a)의 식각 속도 : 제2 실리콘 질화막 패턴(110a)의 식각 속도 비는 1 : 1~1.5이 되도록 한다. 만일, 상기 제2 실리콘 질화막 패턴(110a)의 식각 속도가 상기 제1 절연막(114a)의 식각 속도에 비해 지나치게 빠를 경우, 상기 제2 실리콘 질화막 패턴(110a)이 필요 이상으로 식각되기 쉽고 이로 인해 공정 마진이 부족해진다. 또한, 상기 제2 실리콘 질화막 패턴(110a)의 식각 속도가 상기 제1 절연막(114a)의 식각 속도에 비해 지나치게 빠르다는 것은, 반대로 상기 제1 절연막(114a)의 식각 속도가 느려진다는 것을 의미하기 때문에, 상기 제1 절연막(114a)을 제거하는데 더 많은 시간이 소요된다. 상기 조건에 의해 건식 식각 공정을 수행하면, 결과물의 프로 파일은 상기 표면에 노출된 제1 절연막은 상기 제2 실리콘 질화막 패턴에 비해 외부로 돌출된다.

<51>      반면에, 화학 기계적 연마 공정은 상기 실리콘 산화막에 비해 상기 실리콘 질화막 패턴이 빠르게 제거되는 슬러리를 사용하여 수행할 수 있다. 상기 설명한 것과 동일한 이유로, 상기 화학 기계적 연마 공정은 상기 제1 절연막(114a)의 제거 속도 : 제2 실리콘 질화막 패턴(110a)의 제거 속도가 1 : 1~1.5이 되는 조건하에서 수행한다.

<52>      상기 방법에 의하면, 상기 제2 실리콘 질화막 패턴(110a)의 상부면이 평탄하게 되도록 에치백하는 동안, 노출되어 있는 상기 제2 실리콘 질화막 패턴(110a)의 주변에는 상기 제1 절연막(114a)이 상기 제2 실리콘 질화막 패턴(110a) 높이보다 더 높게 남아있다. 때문에, 상기 공정을 수행하는 동안 상기 제2 실리콘 질화막 패턴(110a)의 측면 부위는 전혀 노출되지 않는다. 따라서, 상기 공정을 수행하더라도 상기 도전막 패턴(103)의 측면을 보호하는 제2 실리콘 질화막 패턴(110a)의 측면 부위는 소모되지 않는다.

<53>       반면에, 상기 제2 실리콘 질화막 패턴(110a)이 상기 제1 절연막(114a)에 비해 돌출되도록 상기 공정을 수행하면, 상기 제2 실리콘 질화막 패턴(110a) 사이의 제1 절연막(114a)이 부분적으로 제거된다. 그리고, 상기 제2 실리콘 질화막 패턴(110a) 사이의 제1 절연막(114a)이 제거되면서, 제2 실리콘 질화막 패턴(110a)의 측면이 노출되고, 이로 인해 상기 노출된 제2 실리콘 질화막 패턴(110a)의 측면까지 제거된다. 따라서, 상기 제2 실리콘 질화막 패턴(110a)의 소모가 많아져서 상기 도전막 패턴(103)을 캡핑하기가 어려워진다.

<54>       상기 공정은 상기 도전막 패턴(103)의 상부에 구비되는 제2 실리콘 질화막 패턴(110a)의 상부면의 면적이 적어도 상기 도전막 패턴의 상부면의 면적과 동일하거나 더 넓게 되도록 수행한다. 또한, 상기 제2 실리콘 질화막 패턴(110a)의 상부면이 적어도 500Å 이상의 두께만큼 제거되도록 식각 공정을 수행한다. 상기 과정을 수행하면, 상기 제2 실리콘 질화막 패턴(110a)은 솔더 부위가 라운딩되지 않는다. 제2 실리콘 질화막 패턴(110a)의 높이는 종래에 비해 감소된다.

<55>       도 2f를 참조하면, 상기 평탄화된 제2 실리콘 질화막 패턴(110a)을 포함하는 결과물 상에 제2 절연막(116)을 형성한다.

<56>       상기 제1 절연막(114a)은 상기 제2 실리콘 질화막 패턴(110a)들 사이를 매몰하여야 하므로 접필 능력이 우수한 물질의 실리콘 산화막을 사용하여야 하지만, 상기 제2 절연막(116)은 평탄화된 결과물 상에 형성되므로 이러한 제한이 없다. 때문에, 상기 제2 절연막(116)은 제1 절연막(114a)과 반드시 동일한 물질로 형성할 필요가 없다. 따라서, 상기 제2 절연막(116)은 상기 제1 절연막(114a)에 비해 원소들의 본당이 치밀한 막으로 형성하여, 후속 공정 중에 상기 절연막들의 손상이 최소화되도록 한다. 구체적으로, 제1

및 제2 절연막(114a, 116)은 세정 공정 시에 주로 손상된다. 즉, 상기 제1 및 제2 절연막(114a, 116)은 세정을 위한 케미컬에 의해 표면이 불필요하게 식각되어 불량을 유발한다. 따라서, 동일한 세정용 케미컬을 사용하여 세정하였을 때, 상기 제2 절연막(116)은 상기 제1 절연막(114a)에 비해 덜 식각되는 특성을 갖는 막으로 형성한다. 이러한 특성을 갖도록 하기 위하여, 상기 제2 절연막(116)은 제1 절연막(114a)과 다른 물질로서 형성하거나 또는 공정 방법을 변경하여 형성할 수 있다.

<57> 구체적으로, 상기 제1 절연막(114a)이 BPSG막으로 형성되었을 경우, 상기 제2 절연막(116)은 상기 제1 절연막(114a)에 포함되어 있는 B 이온 및 P 이온보다 낮은 농도의 B 및 P이온을 포함하는 BPSG막으로 형성할 수 있다. 또는, 상기 제2 절연막(116)은 고밀도 플라즈마 CVD방식 또는 플라즈마 증진 CVD방식에 의한 실리콘 산화막으로 형성할 수 있다.

<58> 도 2g를 참조하면, 상기 제2 실리콘 질화막 패턴(110b) 사이에 형성되어 있는 기판(100)이 노출되도록, 상기 제2 절연막(116a), 제1 절연막(114b)의 소정 부위를 식각하고, 이어서, 상기 기판(100)상에 형성된 질화막 라이너(112b)를 식각하여 셀프 얼라인 콘택홀(120)들을 형성한다.

<59> 구체적으로, 상기 제2 절연막(116a) 상에 포토레지스트막을 도포하고 셀프-얼라인 콘택 형성용 마스크를 이용하여 상기 포토레지스트막을 노광 및 현상하여 셀프-얼라인 콘택 영역을 오픈시키는 포토레지스트 패턴(도시하지 않음)을 형성한다. 상기 포토레지스트 패턴은 상기 제2 실리콘 질화막 패턴(110b)사이 공간 및 상기 공간과 이어지는 상기 제2 실리콘 질화막 패턴(110b)의 상부면 가장자리 부위를 함께 포함하는 오픈

영역과, 상기 제2 실리콘 질화막 패턴(110b)상부면의 일부를 마스크하는 마스크 영역을 갖는다.

<60> 이어서, 상기 포토레지스트 패턴을 마스크로 이용하여 실리콘 산화막과 실리콘 질화막 간의 식각 선택비가 높은 조건으로 이방성 식각한다. 상기 이러한 조건의 식각 공정은 예컨대,  $\text{CHF}_3$ ,  $\text{CF}_4$ , Ar의 혼합 가스를 사용하여 수행할 수 있다. 상기 식각 공정을 수행하면, 우선 상기 포토레지스트 패턴의 오픈 영역에 노출되어 있는 제2 절연막(116a)이 식각된다. 상기 제2 절연막(116a)이 전부 식각되면, 상기 제1 절연막(114b) 및 제2 실리콘 질화막 패턴(110b)의 상부면 중의 일부가 동시에 노출된다. 그리고, 상기 제1 절연막(114b)이 선택적으로 식각되어 상기 제2 실리콘 질화막 패턴(110b) 사이의 기판 상에 질화막 라이너(102b)를 노출시킨다. 이 때, 상기 제1 절연막(114b)이 식각되는 동안, 상기 제2 실리콘 질화막 패턴(110b)은 식각 선택비에 따라 상기 제1 절연막(114b)에 비해 느린 속도로 식각된다.

<61> 이어서, 상기 노출된 질화막 라이너(102b)를 식각하여 상기 제2 실리콘 질화막 패턴(110b)사이 기판을 노출하는 콘택홀을 형성한다. 그리고, 상기 포토레지스트 패턴을 에칭 공정에 의해 제거한다. 상기 콘택홀의 측벽에는 제2 절연막(116a) 및 제2 실리콘 질화막 패턴(110b)만이 노출되며, 상기 제1 절연막(114b)은 전혀 남아있지 않는다.

<62> 상기 제2 실리콘 질화막 패턴(110b)은 이전의 공정에 의해 상부면이 평평하게 가공되어 있고, 높이도 약 500Å 이상 낮아져 있다. 그러므로, 상기 식각 공정 시에 발생하는 불량들이 감소된다. 이하에서, 상기 제2 실리콘 질화막 패턴(110b)의 형상에 따라 불량이 감소되는 것에 대해 구체적으로 설명한다.

<63> 우선, 상기 제2 실리콘 질화막 패턴(110b)이 높이가 낮아짐에 따라 상기 질화막 간의 선택비에 의해 자기 정렬되면서 식각이 이루어지는 두께가 줄어든다. 이로 인해, 상기 제1 및 제2 절연막(114b, 116a)을 식각하는 중에 상기 제2 실리콘 질화막 패턴(110b)이 식각되는 두께가 감소된다. 따라서, 상기 제2 실리콘 질화막 패턴(116b)의 소정 부위가 식각되면서, 상기 제2 실리콘 질화막 패턴(116b) 내부에 형성되어 있는 도전막 패턴(103)이 외부로 노출되는 불량을 최소화시킬 수 있다. 그리고, 상기 자기 정렬되면서 식각이 이루어지는 두께가 감소함에 따라, 콘택홀 형성 공정이 용이해져, 콘택 낮 오픈과 같은 불량이 감소된다.

<64> 또한, 상기 제2 실리콘 질화막 패턴(110b)의 상부면이 평평하게 가공되어 있으므로, 식각 공정 시에 상기 제2 실리콘 질화막 패턴(110b)과 절연막들(114b, 116a) 간의 선택비가 높아진다. 때문에, 상기 절연막들(114b, 116a)을 식각할 때 상기 제2 실리콘 질화막 패턴(110b)의 소모가 적어지므로 이에 따른 불량을 감소할 수 있다.

<65> 이를 도 3a 내지 도 3c를 참조로 좀 더 상세하게 설명한다. 동일한 식각 조건에서 식각을 수행하더라도 상기 실리콘 산화막 및 실리콘 질화막이 형성되어 있는 구조에 따라 상기 막들에 대한 식각 선택비의 차이가 발생한다.

<66> 경험적으로, 기판상에 평탄한 실리콘 질화막(200a) 및 실리콘 산화막(202a)이 순차적으로 형성되어 있을 경우(도 3a)에 실리콘 산화막(200a)과 실리콘 질화막(202a)간의 식각 선택비는, 평탄하지 않는 실리콘 질화막(200b) 상에 실리콘 산화막(202b)이 형성되어 있는 경우(도 3b, 도 3c)의 식각 선택비에 비해 높다.

<67> 다시 말하면, 도 3b 및 도 3b에서와 같이 식각을 수행하는 도중에 상기 실리콘 산화막(202b, 202c) 및 실리콘 질화막(200b, 200c)이 동시에 노출되는 부분(도 3b A, 도

3c B)이 있을 경우에는, 도 3a에서와 같이 상기 실리콘 산화막(202b) 또는 실리콘 질화막(200b)중 어느 하나의 막 만이 노출되는 경우에 비해 식각 선택비가 낮아진다. 또한, 식각을 수행하는 도중에, 상기 실리콘 산화막(202b, 202c) 및 실리콘 질화막(200b, 200c)이 동시에 노출되는 시점(도 3b, 205 및 도 3c, 206)에서, 상기 실리콘 질화막(200b, 200c)이 노출되는 면적이 작을수록 식각 선택비가 더욱 낮아진다. 즉, 도 3b에서와 같이, 상기 실리콘 산화막(202b) 및 실리콘 질화막(200b)이 동시에 표면에 노출되는 시점에서 실리콘 질화막의 상부면이 평평하지 않을 경우에는 상기 실리콘 질화막(200b)이 노출되는 면적이 매우 작아진다. 반면에, 도 3c에서와 같이, 상기 실리콘 산화막(202c) 및 실리콘 질화막(200c)이 동시에 표면에 노출되는 시점에서 실리콘 질화막(200c)의 상부면이 평평할 경우에 상기 실리콘 질화막(200c)이 노출되는 면적은 상기 실리콘 질화막의 상부면이 평평하지 않을 경우에 비해 상대적으로 커진다.

<68> 그런데, 종래에는 상기 제2 실리콘 질화막 패턴의 상부면이 라운딩되어 있기 때문에(도 1c 참조), 상기 식각을 수행할 때 상기 제2 실리콘 질화막 패턴과 상기 실리콘 산화막이 동시에 노출되는 시점에서 상기 노출되는 제2 실리콘 질화막 패턴의 면적이 매우 작다. 따라서, 상기 실리콘 산화막을 식각하면, 상기 노출되는 제2 실리콘 질화막 패턴도 동시에 빠르게 식각된다. 반면에, 본 발명의 실시예에서는 상기 제2 실리콘 질화막 패턴(110b)의 상부면이 평평하게 형성되어 있기 때문에, 식각을 수행하는 도중에 상기 제2 실리콘 질화막 패턴(110b)과 상기 절연막들(116a, 114b)이 동시에 노출되는 시점에서, 상기 노출되는 제2 실리콘 질화막 패턴(110b)의 면적이 종래에 비해 상대적으로 매우 넓다. 따라서, 상기 절연막들(116a, 114b)을 식각하는 중에 상기 제2 실리콘 질화막

패턴(110b)이 제거되는 속도가 종래에 비해 느리다. 즉, 상기 제2 실리콘 질화막 패턴(110b)의 소모가 적어지므로 이에 따른 불량을 감소할 수 있다.

<69> 이어서, 상기 콘택홀이 형성되어 있는 기판을 세정하여, 식각중에 발생한 폴리머들이 제거된 셀프 얼라인 콘택홀(120)을 완성한다. 상기 기판 세정은 세정용 케미컬을 사용하여 이루어진다. 그리고, 상기 세정용 케미컬을 사용할 시에, 표면에 노출되어 있는 막들이 일부 식각된다. 이 때, 상기 콘택홀 측면 및 저면을 포함하는 기판 표면에는 제1 절연막(114b)이 전혀 노출되어 있지 않다. 때문에, 상기 제1 절연막(114b)이 상기 세정용 케미컬에 의해 식각되면서 발생하는 불량들을 방지할 수 있다.

<70> 상기 제1 절연막(114b)은 갭필 능력이 양호한 물질로서 형성하도록 제한되고, 이러한 특성을 갖는 막은 일반적으로 원소들의 본딩이 치밀하지 못하다. 때문에, 상기 제1 절연막(114b)은 상기 세정용 케미컬을 사용하여 세정하면 상기 세정용 케미컬과 제1 절연막(114b) 표면의 본딩들 간의 반응이 빠르게 일어나 식각 속도가 빠르다. 상기 제1 절연막(114b)이 식각되면서 상기 콘택홀 사이에 남아있는 절연막의 하부 구조가 불안정해진다. 또한, 상기 콘택홀 사이에 남아있는 절연막 하부의 소정 부위가 도통하여 후속 공정시 브릿지 불량이 발생된다. 그런데, 상기 제1 절연막(114b)은 상기 콘택홀 측면 및 저면에는 전혀 노출되지 않고, 상기 세정액에 대한 식각 속도가 느린 제2 절연막(116b)만이 노출되기 때문에, 상기한 불량을 최소화할 수 있다.

<71> 도 2h를 참조하면, 상기 셀프 얼라인 콘택홀(120) 내에 도전 물질(122)을 증착하여 콘택을 형성한다.

<72> 상술한 본 발명의 제1 실시예에 의하면, 상기 도전성 패턴을 감싸는 실리콘 질화막 패턴의 높이가 감소하고, 상부면이 평탄해짐에 따라, 상기 실리콘 질화막과 실리콘 산화

막의 식각 선택비를 이용하여 셀프 얼라인 콘택홀을 형성할 시에 발생하는 불량을 최소화할 수 있다. 상기 제1 실시예에서는 게이트 전극 사이에 형성되는 콘택홀을 예로 들어 설명하였지만, 도전성 패턴 사이에 형성되는 셀프 얼라인 콘택은 모두 포함할 수 있음을 알려둔다.

<73> 실시예 2

<74> 도 4a 내지 도 4c는 본 발명의 제2 실시예에 따른 셀프 얼라인 콘택 형성 방법을 설명하기 위한 단면도들이다. 이하에서 설명하는 제2 실시예는 상기 제1 절연막 및 상기 제2 실리콘 질화막 패턴의 상부 전면을 순차적으로 에치백하여, 상기 제2 실리콘 질화막 패턴의 상부면이 평평해지도록 가공하는 공정에서, 상기 제1 절연막과 상기 실리콘 질화막 패턴과의 단차가 발생하지 않도록 하는 것만이 다르다. 하기의 설명에서, 실시예 1과 동일한 요소는 동일한 도면 부호로서 사용한다.

<75> 도 4a를 참조하면, 상기에서 상술한 실시예 1의 도2a 내지 도 2d 공정을 수행하여 제2 실리콘 질화막 패턴(110)을 매몰하는 제1 절연막(114)을 형성한다.

<76> 도 4b를 참조하면, 상기 제1 절연막(114a) 및 상기 제2 실리콘 질화막 패턴(110a)의 상부 전면을 순차적으로 에치백하여, 상기 제2 실리콘 질화막 패턴(110a)의 상부면이 평평해지도록 가공한다. 그리고, 상기 공정에 의해, 상기 제1 절연막(114a)은 제2 실리콘 질화막 패턴(110a)과 단차가 발생하지 않도록 한다. 상기와 같이 가공하는 방법의 일 예로 예컨대, 건식 식각 공정 또는 화학 기계적 연마 공정을 들 수 있다.

- <77> 상기 방법에 의하면, 상기 제2 실리콘 질화막 패턴(110a)의 상부면이 평탄하게 되도록 에치백하는 동안, 노출되어 있는 상기 제2 실리콘 질화막 패턴(110a)의 주변에는 상기 제1 절연막(114a)이 상기 제2 실리콘 질화막 패턴(110a)과 동일한 단차로 남아있다. 때문에, 상기 공정을 수행하는 동안 상기 제2 실리콘 질화막 패턴(110a)의 측면 부위는 노출되지 않는다. 따라서, 상기 공정을 수행하더라도 상기 도전막 패턴(103)의 측면을 보호하는 제2 실리콘 질화막 패턴(110a)의 측면 부위는 소모되지 않는다.
- <78> 상기 공정은 상기 도전막 패턴(103)의 상부에 구비되는 제2 실리콘 질화막 패턴(110a)의 상부면의 면적이 적어도 상기 도전막 패턴의 상부면의 면적과 동일하거나 더 넓게 되도록 수행한다.
- <79> 도 4c를 참조하면, 상기 평탄화된 제2 실리콘 질화막 패턴(110a)을 포함하는 결과물 상에 제2 절연막(116)을 형성한다.
- <80> 상기 제2 절연막(116)은 상기 제1 절연막(114a)에 비해 원소들의 본딩이 치밀한 막으로 형성하여, 후속 공정 중에 상기 절연막들의 손상이 최소화되도록 한다.
- <81> 도 4d를 참조하면, 상기 제2 실리콘 질화막 패턴(110b) 사이에 형성되어 있는 기판(100)이 노출되도록, 상기 제2 절연막(116a), 제1 절연막(114b)의 소정 부위를 식각하고, 이어서, 상기 기판(100)상에 형성된 질화막 라이너(112b)를 식각하여 셀프 얼라인 콘택홀(120)들을 형성한다.
- <82> 이어서, 상기 콘택홀이 형성되어 있는 기판을 세정하여, 식각중에 발생한 폴리머들이 제거된 셀프 얼라인 콘택홀(120)을 완성한다. 이 때, 상기 콘택홀 측면 및 저면을 포함하는 기판 표면에는 제1 절연막(114b)이 전혀 노출되어 있지 않다. 때문에, 상기 제1

절연막(114b)이 상기 세정용 케미컬에 의해 식각되면서 발생하는 불량들을 방지할 수 있다.

<83> 도 4e를 참조하면, 상기 셀프 얼라인 콘택홀(120) 내에 도전 물질(122)을 증착하여 콘택을 형성한다.

<84> 상술한 본 발명의 제1 실시예에 의하면, 상기 도전성 패턴을 감싸는 실리콘 질화막 패턴의 높이가 감소하고, 상부면이 평탄해짐에 따라, 상기 실리콘 질화막과 실리콘 산화막의 식각 선택비를 이용하여 셀프 얼라인 콘택홀을 형성할 시에 발생하는 불량을 최소화할 수 있다. 상기 제1 실시예에서는 게이트 전극 사이에 형성되는 콘택홀을 예로 들어 설명하였지만, 도전성 패턴 사이에 형성되는 셀프 얼라인 콘택은 모두 포함할 수 있음을 알려둔다.

#### 【발명의 효과】

<85> 상술한 바와 같이 본 발명에 의하면, 셀프 얼라인 콘택 형성시에 도전막 패턴을 캡핑하는 질화막 패턴이 소모됨으로서 발생하는 불량을 최소화할 수 있다. 때문에, 반도체 장치의 신뢰성 향상 및 수율 향상을 기대할 수 있다.

<86> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

- i) 반도체 기판상에 도전막 패턴 및 상기 도전막 패턴의 상부면 및 측벽에 보호막 패턴을 구비하는 도전성 구조물들을 형성하는 단계;
- ii) 상기 도전성 구조물들 사이를 매몰하도록 제1 절연막을 형성하는 단계;
- iii) 상기 제1 절연막 및 상기 제1 절연막 및 보호막 패턴의 상부면을 소정 두께만큼 순차적으로 에치백하여, 노출되는 보호막 패턴의 상부면이 평평해지도록 가공하는 단계;
- iv) 상기 결과물 전면에 제2 절연막을 형성하는 단계; 및
- v) 상기 제2 절연막 및 제1 절연막의 소정 부위를 사진 식각 공정에 의해 선택적으로 제거하여 상기 도전성 구조물들 사이에 반도체 기판이 노출되는 콘택홀을 형성하는 단계를 구비하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 2】**

제1항에 있어서, 상기 도전막 패턴은 폴리실리콘막 패턴 및 금속 실리사이드막 패턴으로 이루어지는 복합막을 포함하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 3】**

제1항에 있어서, 상기 제1 절연막은 유동성 산화물질로 형성하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 4】**

제1항에 있어서, 상기 제2 절연막은 상기 제1 절연막에 비해 상기 막 내의 원소들의 결합이 치밀하도록 형성하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 5】**

제1항에 있어서, 상기 제2 절연막은 상기 제1 절연막에 비해 세정용 케미컬에 의해 막이 식각되는 속도가 느린 산화물로 형성하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 6】**

제1항에 있어서, 상기 제2 절연막은 고밀도 플라즈마 CVD방식 또는 플라즈마 증진 CVD방식에 의해 형성하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 7】**

제1항에 있어서, 상기 보호막 패턴은 상기 제1 및 제2 절연막과 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 8】**

제1항에 있어서, 상기 보호막 패턴은 실리콘 질화물로 형성하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 9】**

제1항에 있어서, 상기 i)단계에서 도전성 구조물 전체의 두께는 4000Å 이상인 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 10】**

제1항에 있어서, 상기 i) 단계에서 도전성 구조물간의 이격되는 간격은 1500 Å 이내인 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 11】**

제1항에 있어서, 상기 i) 단계에서 도전성 패턴의 선폴은 2500 Å 이내인 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 12】**

제1항에 있어서, 상기 iv) 단계에서 노출되는 보호막 패턴의 상부면의 면적은 적어도 상기 보호막 패턴 아래의 도전막 패턴의 상부면의 면적과 동일하거나 넓게 되도록 에치백하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 13】**

제1항에 있어서, 상기 iv) 단계는, 건식 식각 또는 화학 기계적 연마 공정에 의해 수행하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 14】**

제1항에 있어서, 상기 iv) 단계는, 상기 제1 절연막의 제거 속도가 보호막 패턴의 제거 속도보다 느리도록 에치백하여, 상기 도전성 구조물들 사이에 채워진 제1 절연막은 상기 도전성 구조물의 상부면에 비해 돌출되도록 하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 15】**

제14항에 있어서, 상기 에치백은 상기 제1 절연막의 제거 속도가 보호막 패턴의 제거 속도보다 느린 특성을 갖는 슬러리를 사용한 화학 기계적 연마 공정에 의해 수행하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 16】**

제14항에 있어서, 상기 에치백은 상기 제1 절연막의 식각 속도가 보호막 패턴의 식각 속도보다 느린 특성을 갖는 식각 가스를 사용한 건식 식각에 의해 수행하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 17】**

제1항에 있어서, 상기 v) 단계를 수행한 이 후에, 결과물을 세정용 케미컬을 사용하여 세정함으로서, 식각 중에 발생한 폴리머들을 제거하는 단계를 포함하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 18】**

제1항에 있어서, 상기 v) 단계의 사진 공정에서, 마스크 패턴의 오픈 영역은 상기 도전성 구조물들 사이 및 상기 평탄화된 보호막의 상부면의 일부를 포함하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

**【청구항 19】**

제1항에 있어서, 상기 i) 단계는,

기판 상에 도전막 및 제1 절화막을 형성하는 단계;

상기 도전막 및 제1 질화막의 소정 부위를 기판이 노출되도록 식각하여 도전막 패턴 및 제2 보호막이 적층된 구조물들을 형성하는 단계;

상기 구조물들 및 기판의 표면에 제2 질화막을 균일한 두께로 형성하는 단계; 및

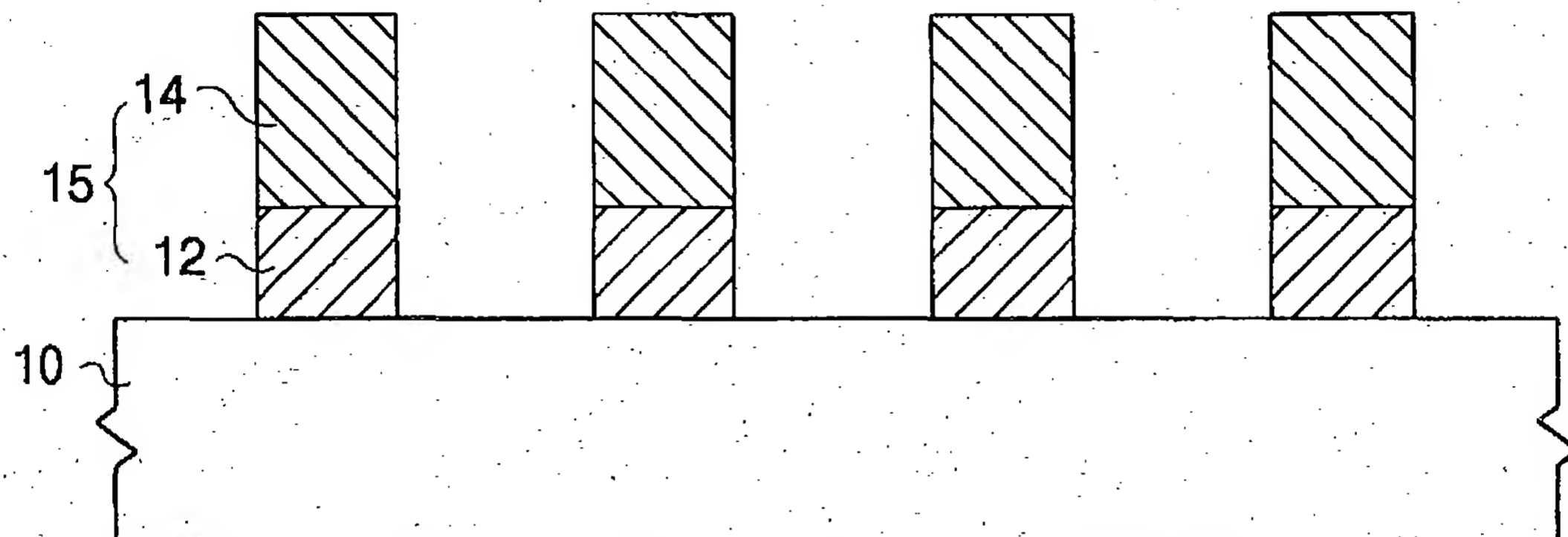
상기 기판 표면에 형성된 제2 질화막이 제거되도록 상기 제2 질화막을 이방성 식각하여 상기 도전막 패턴의 상부면 및 측면에 질화물로 이루어지는 보호막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

【청구항 20】

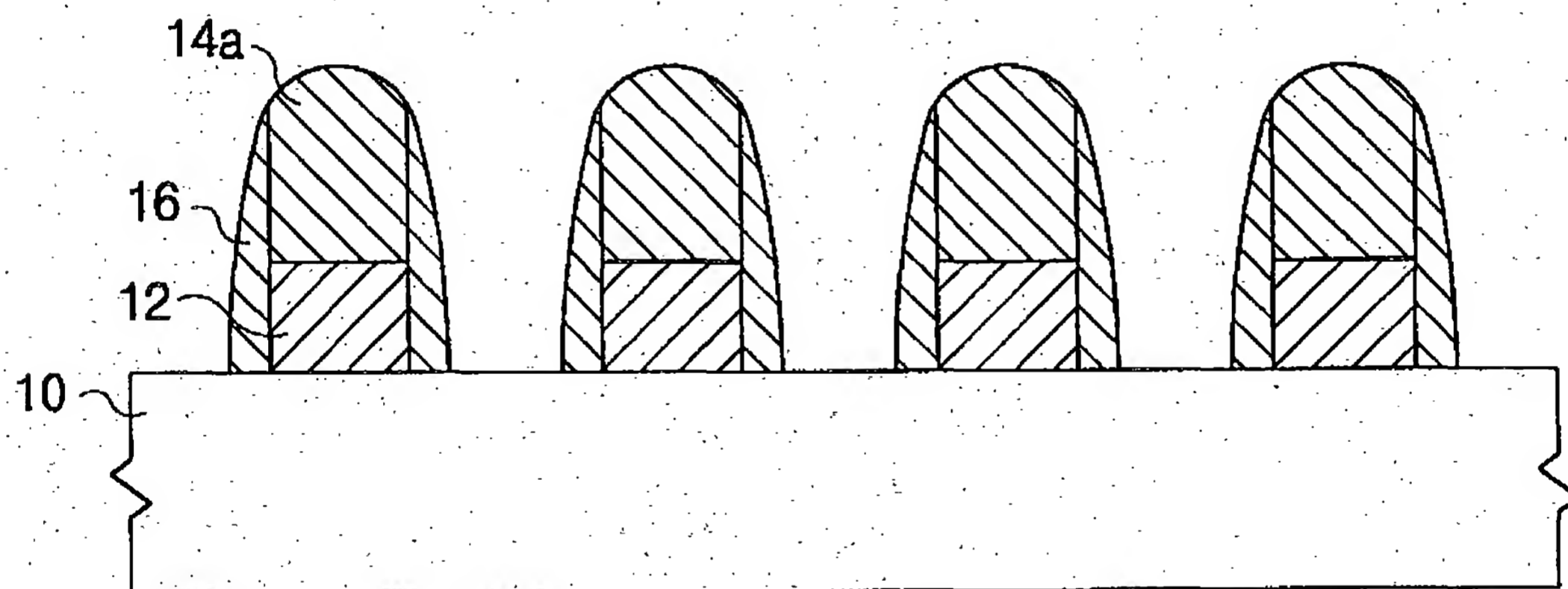
제1항에 있어서, 상기 i) 단계를 수행한 이 후에, 상기 도전성 구조물 표면 및 반도체 기판의 표면에 질화물로 이루어지는 라이너를 더 형성하는 것을 특징으로 하는 셀프 얼라인 콘택홀 형성 방법.

【도면】

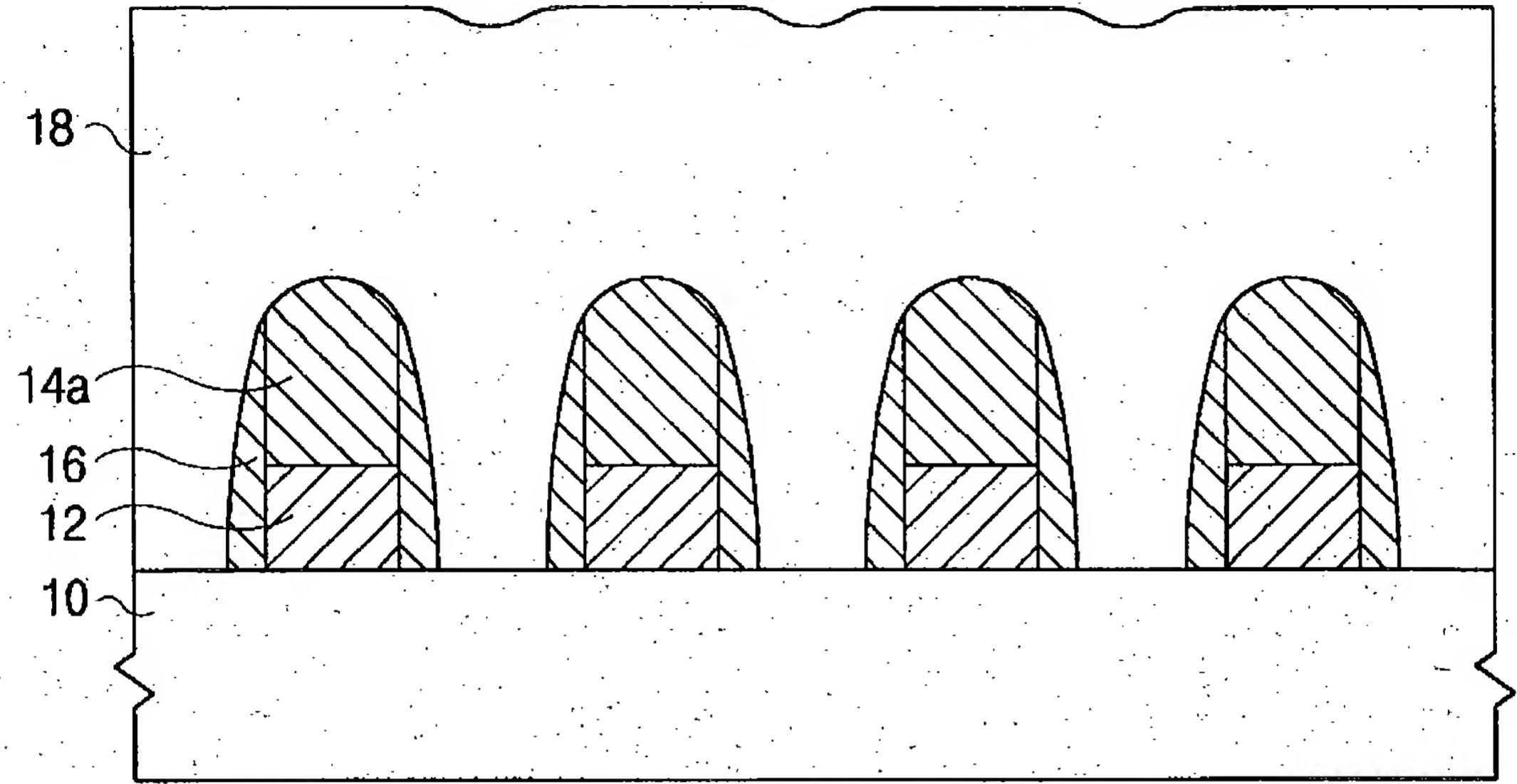
【도 1a】



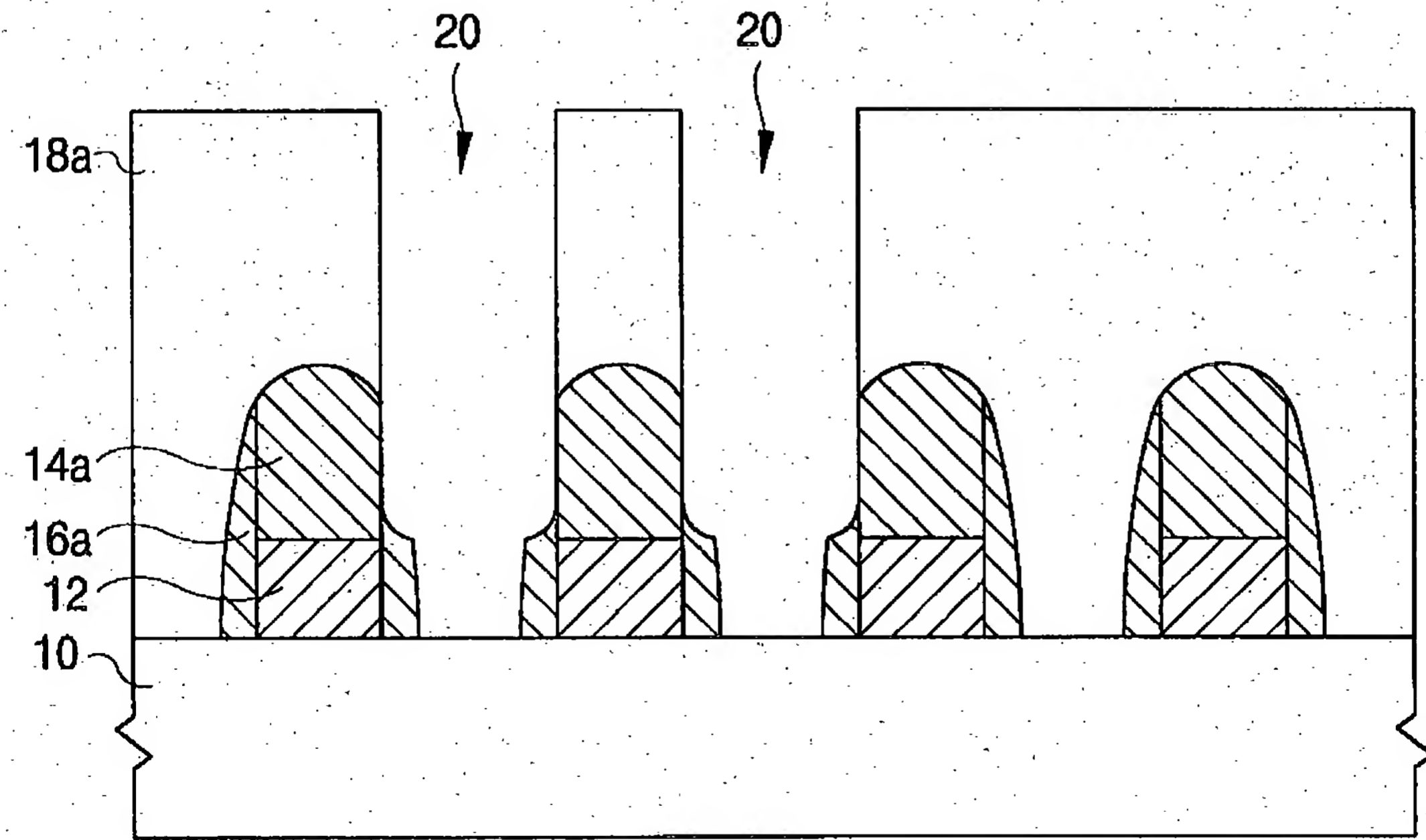
【도 1b】



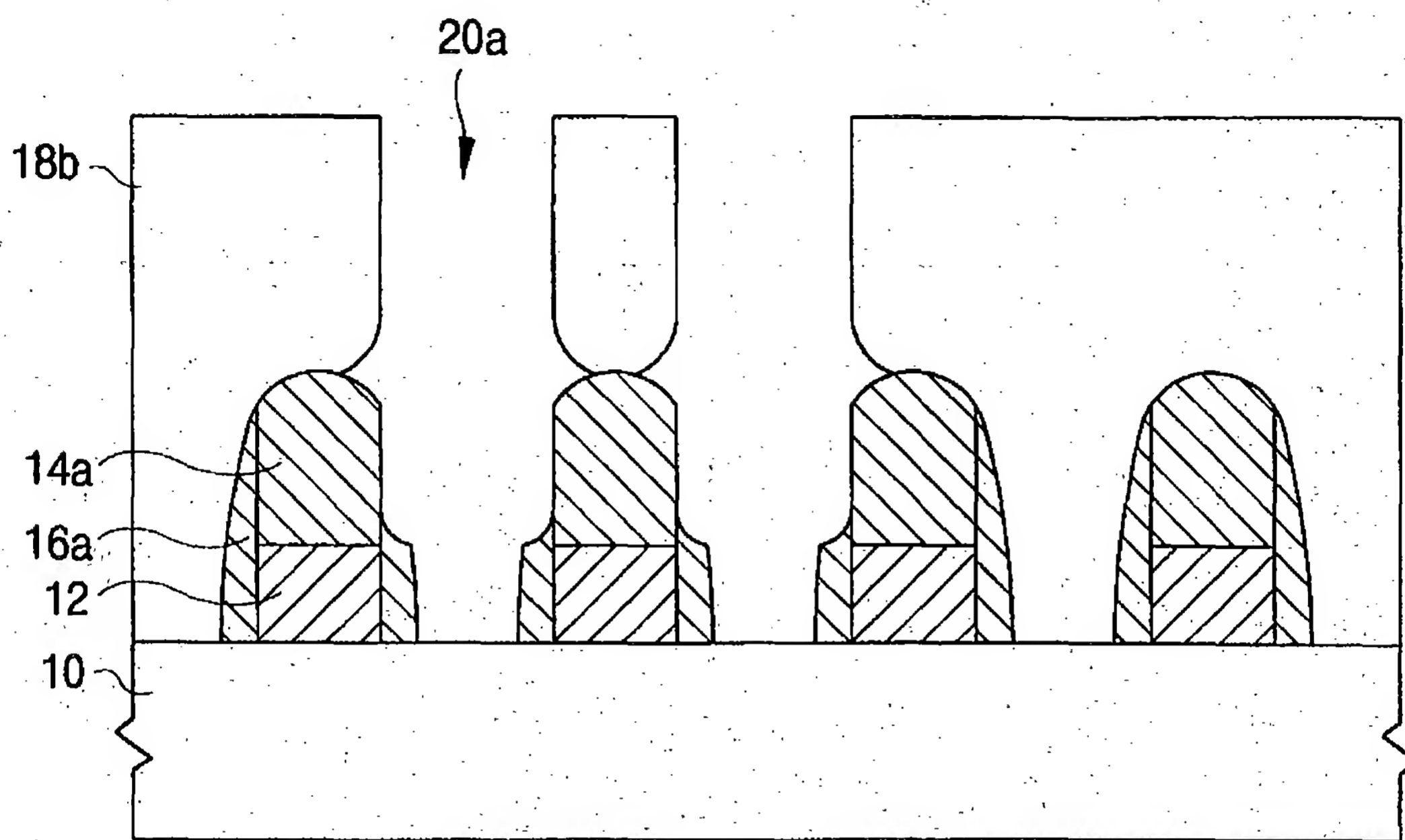
【도 1c】



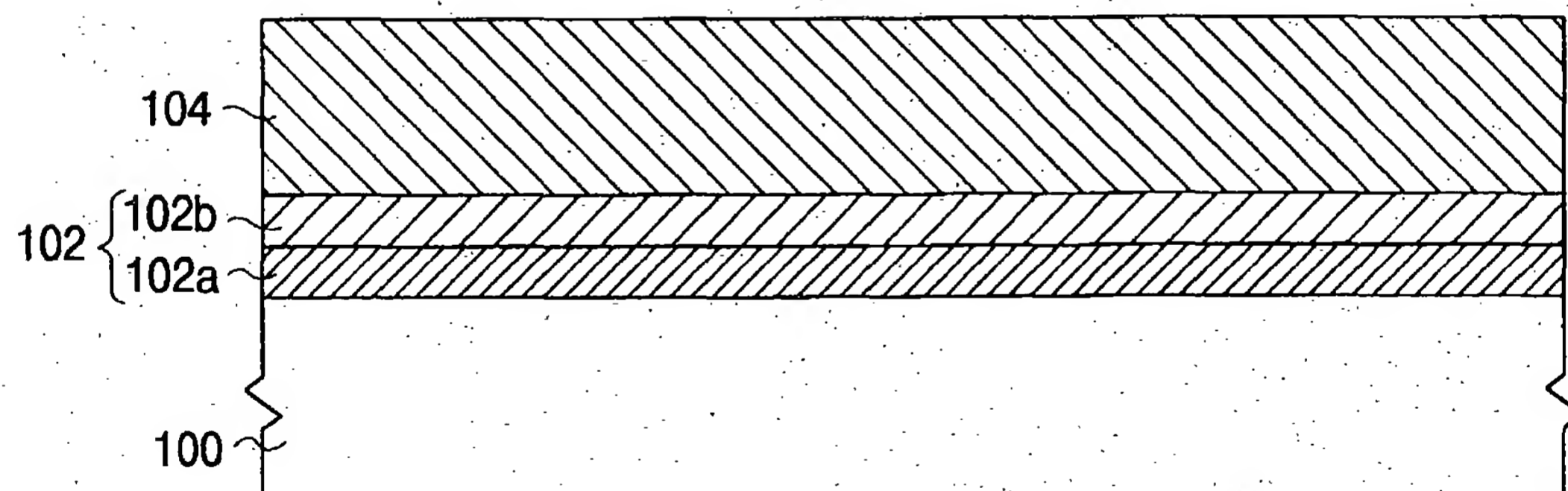
【도 1d】



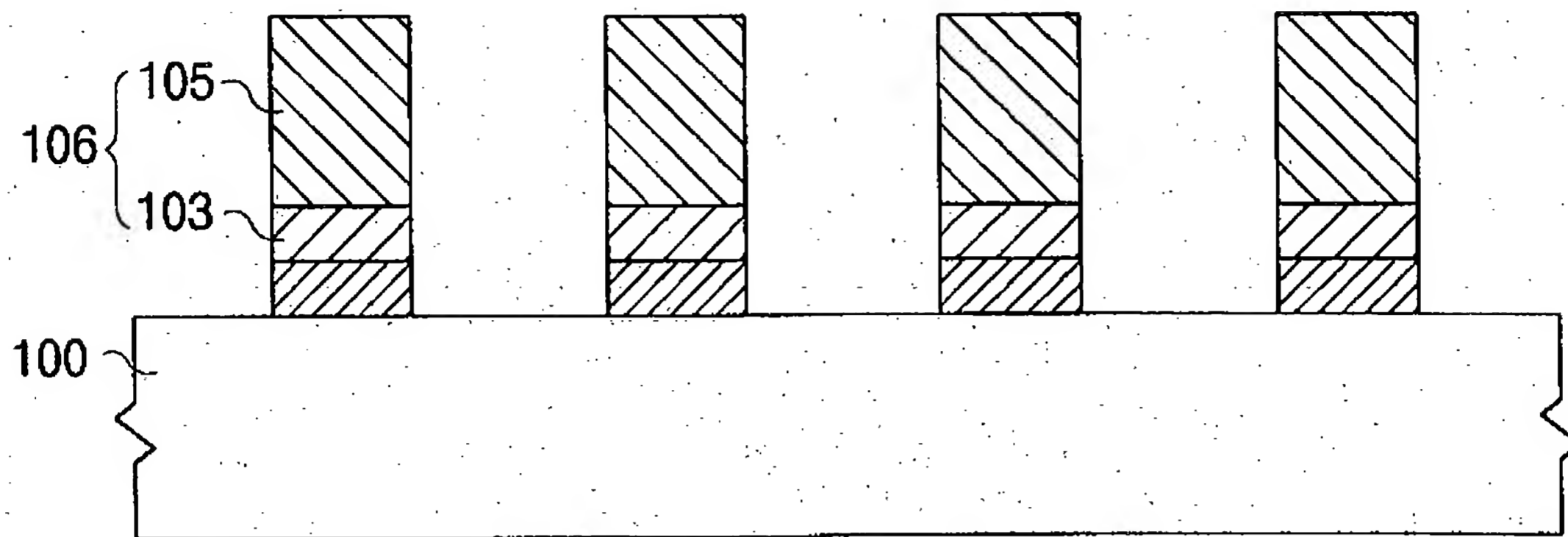
【도 1e】



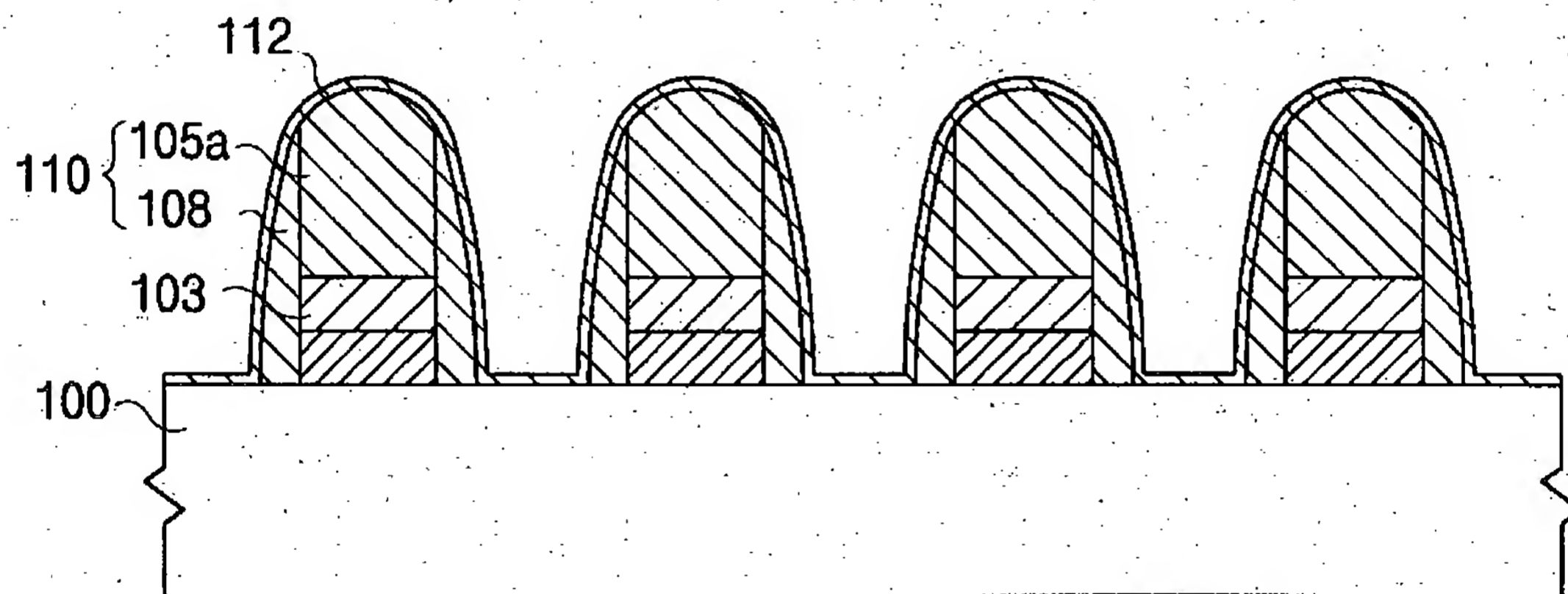
【도 2a】



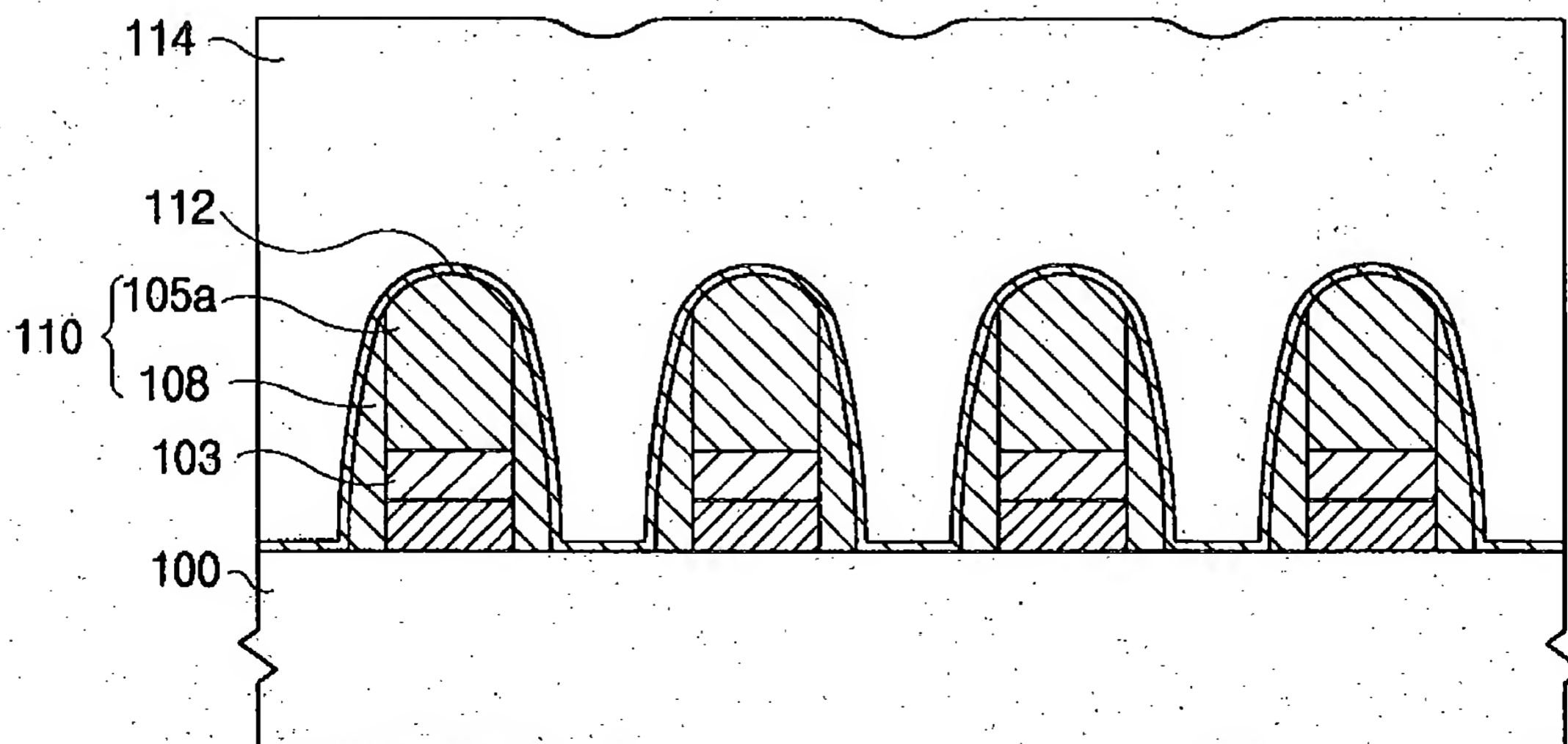
【도 2b】



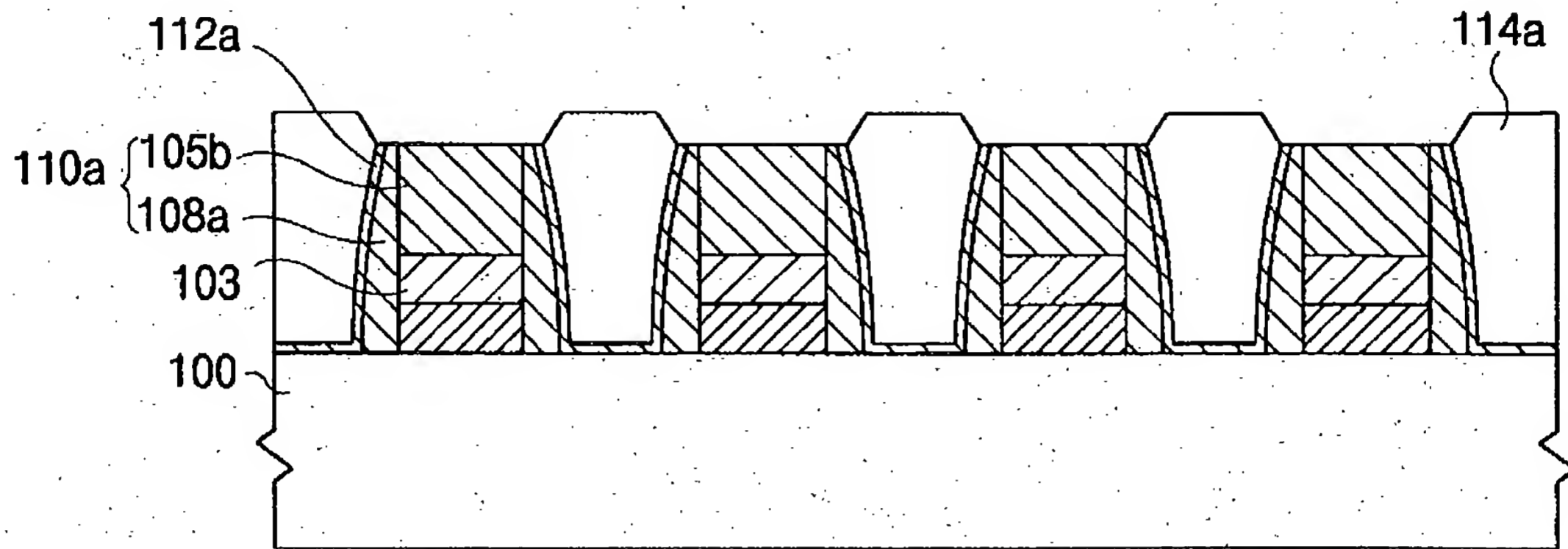
【도 2c】



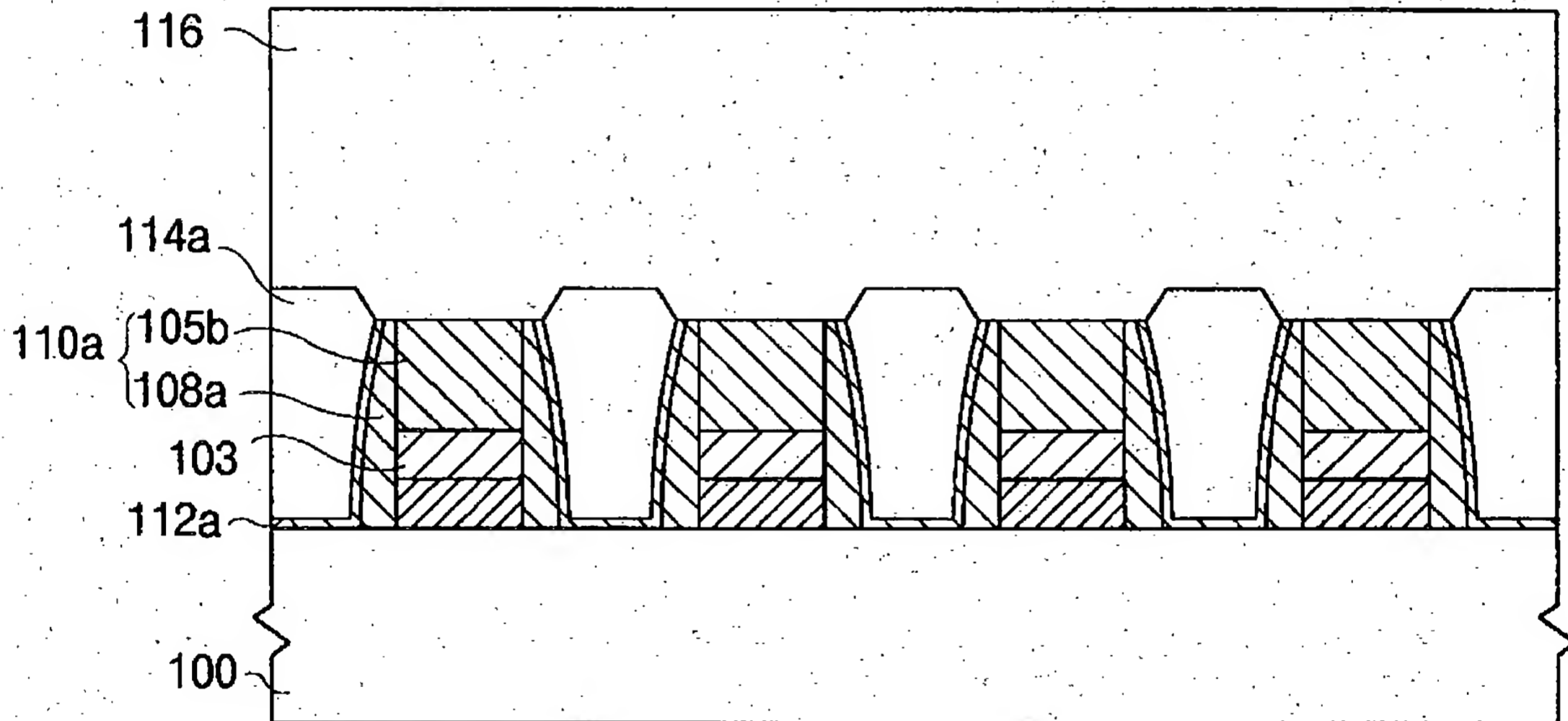
【도 2d】



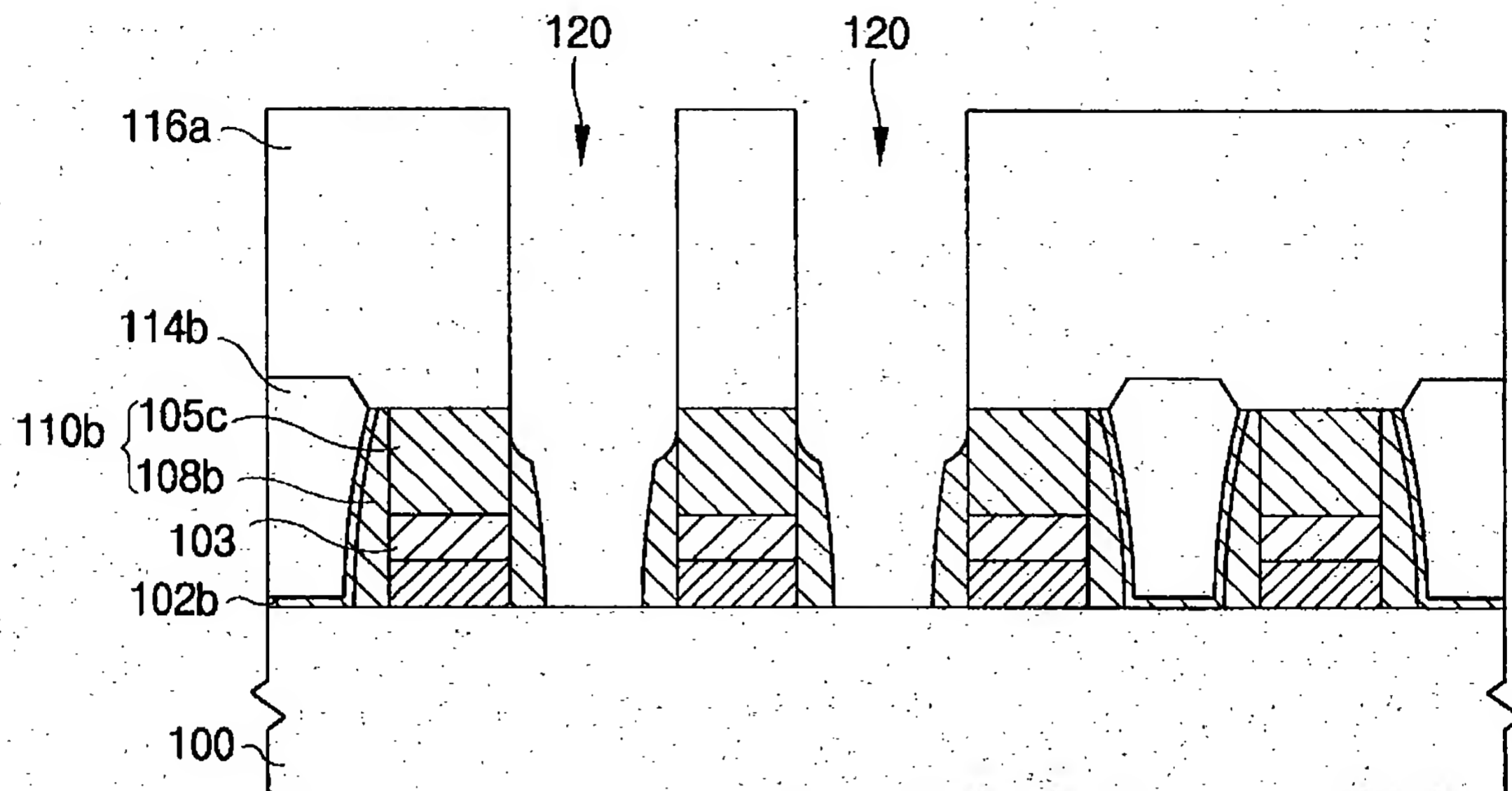
【도 2e】



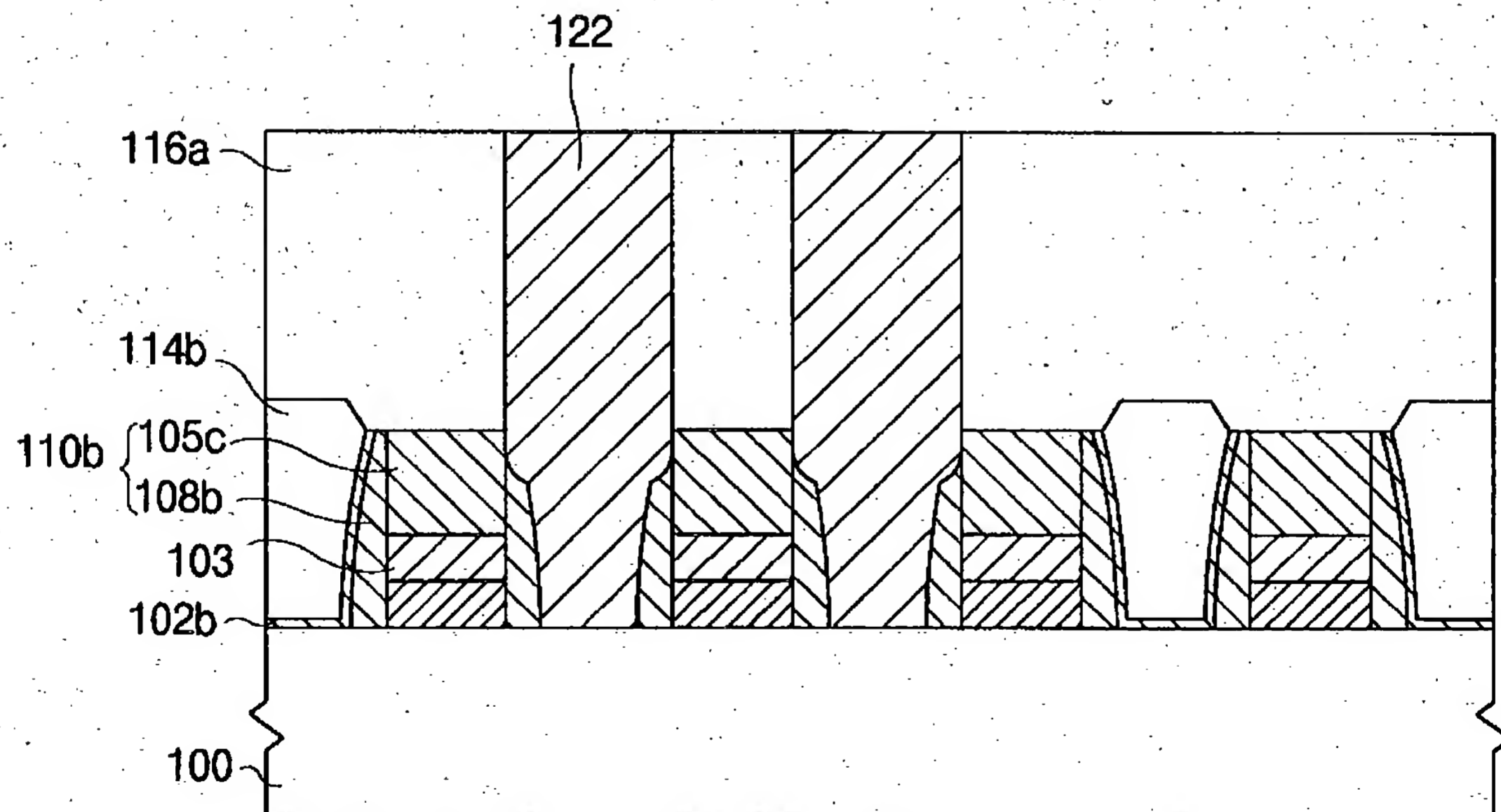
【도 2f】



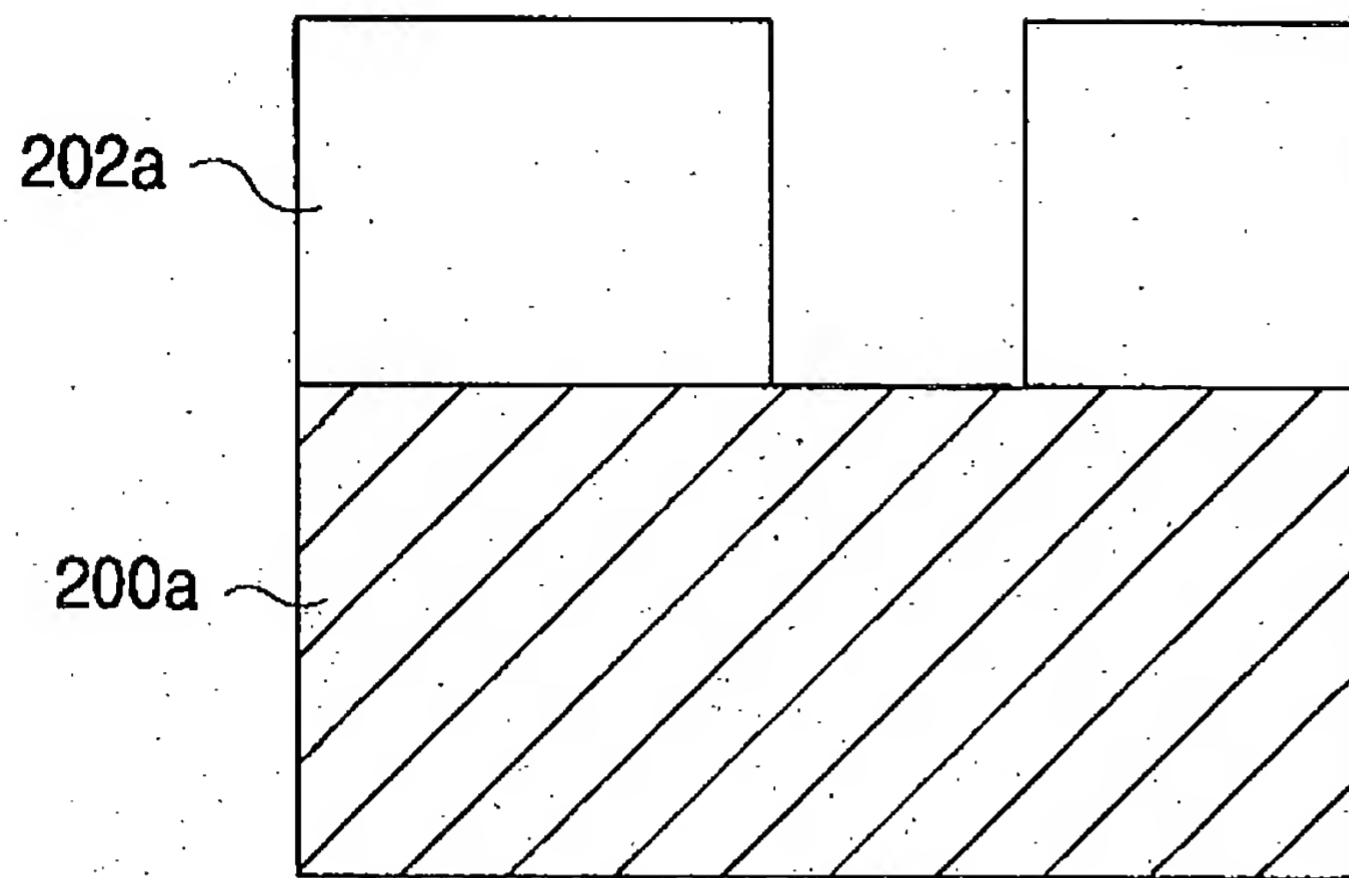
【도 2g】



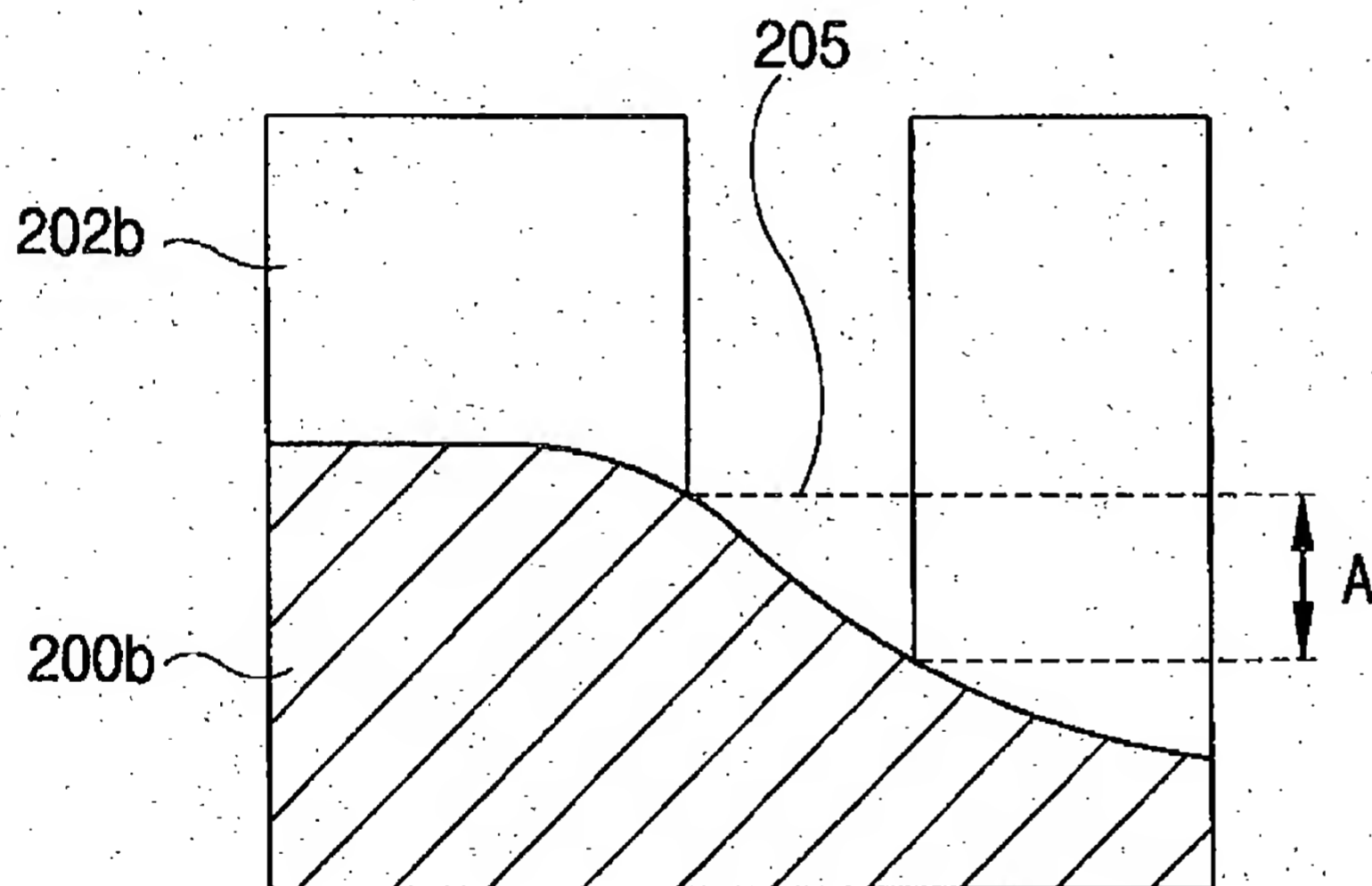
【도 2h】



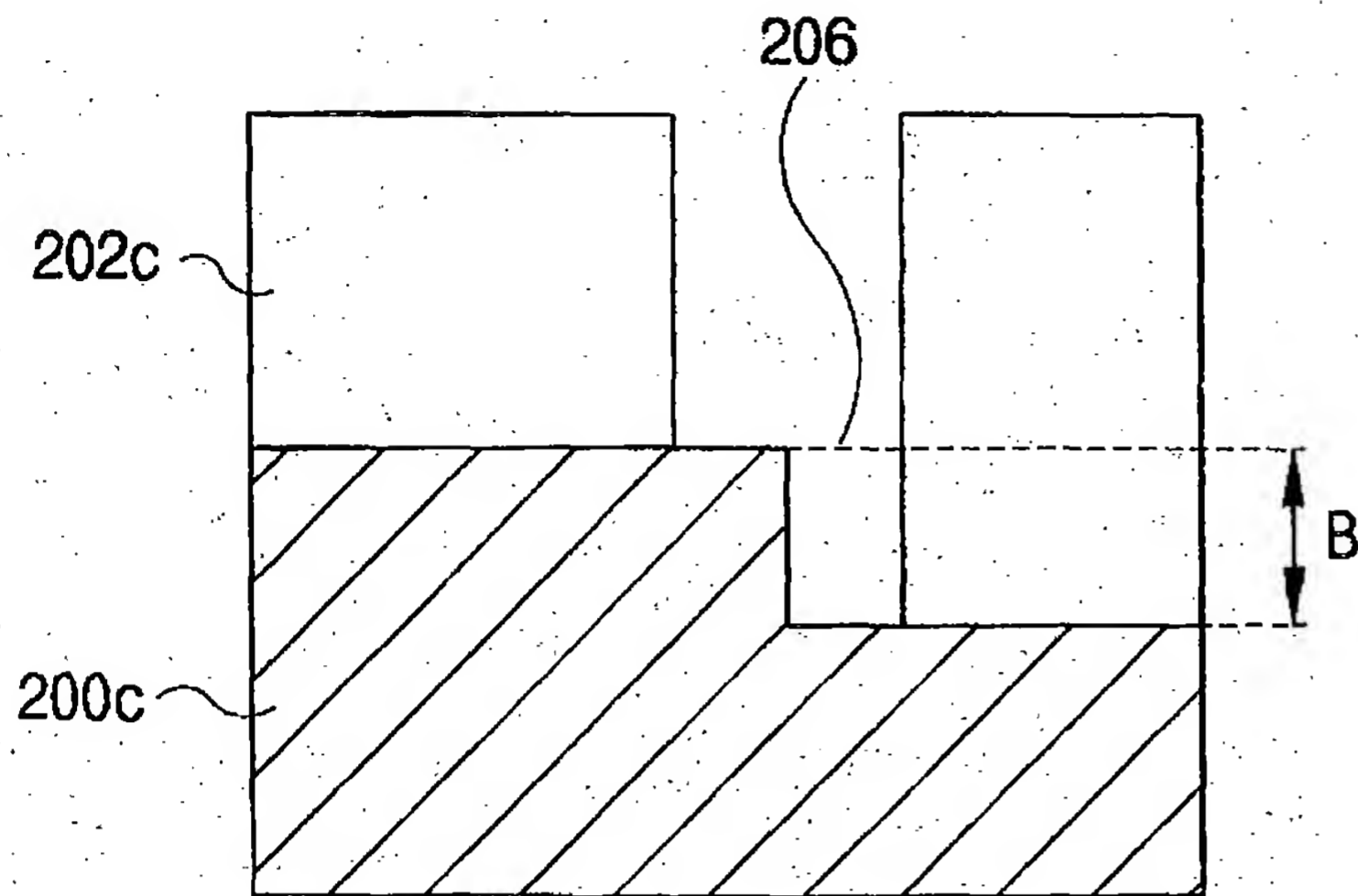
【도 3a】



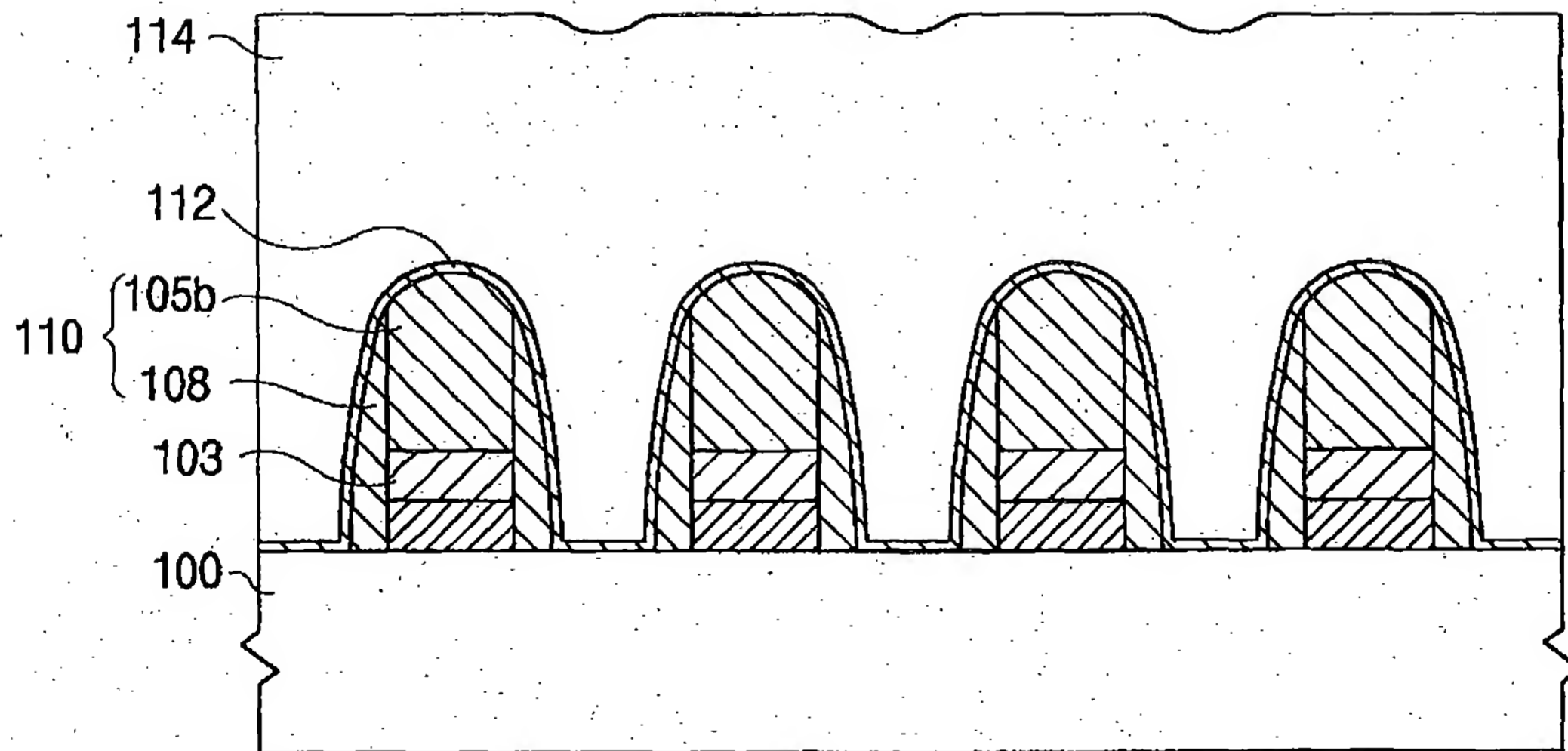
【도 3b】



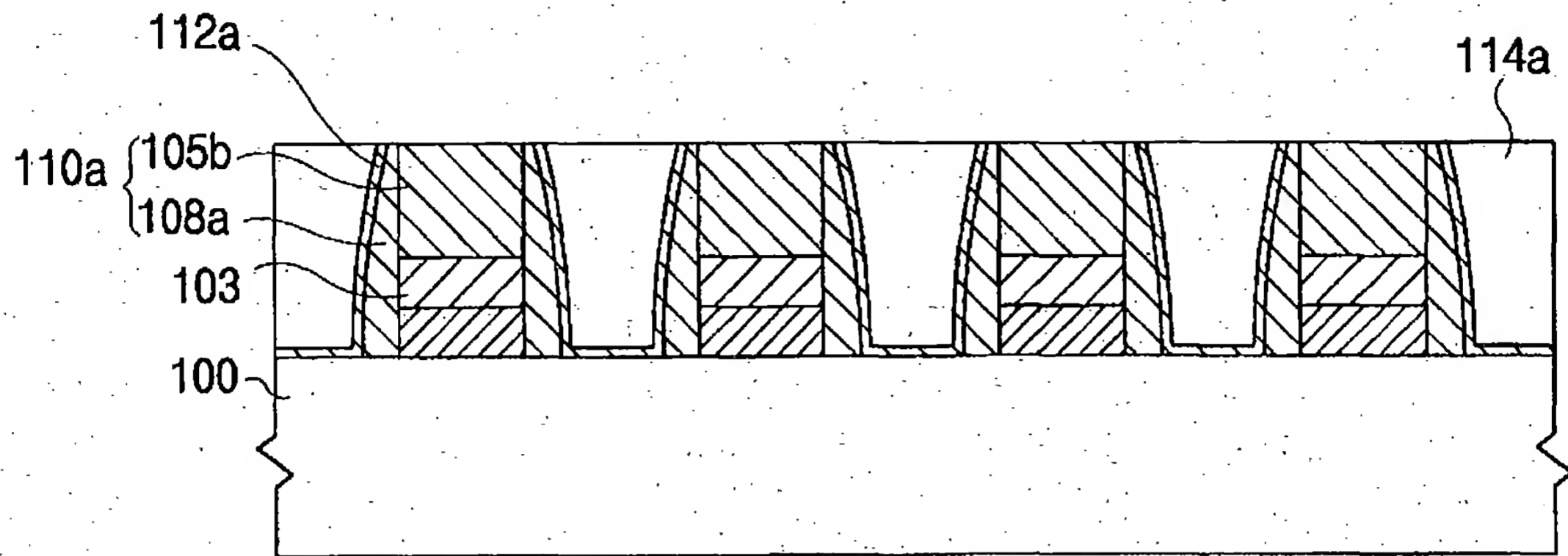
【도 3c】



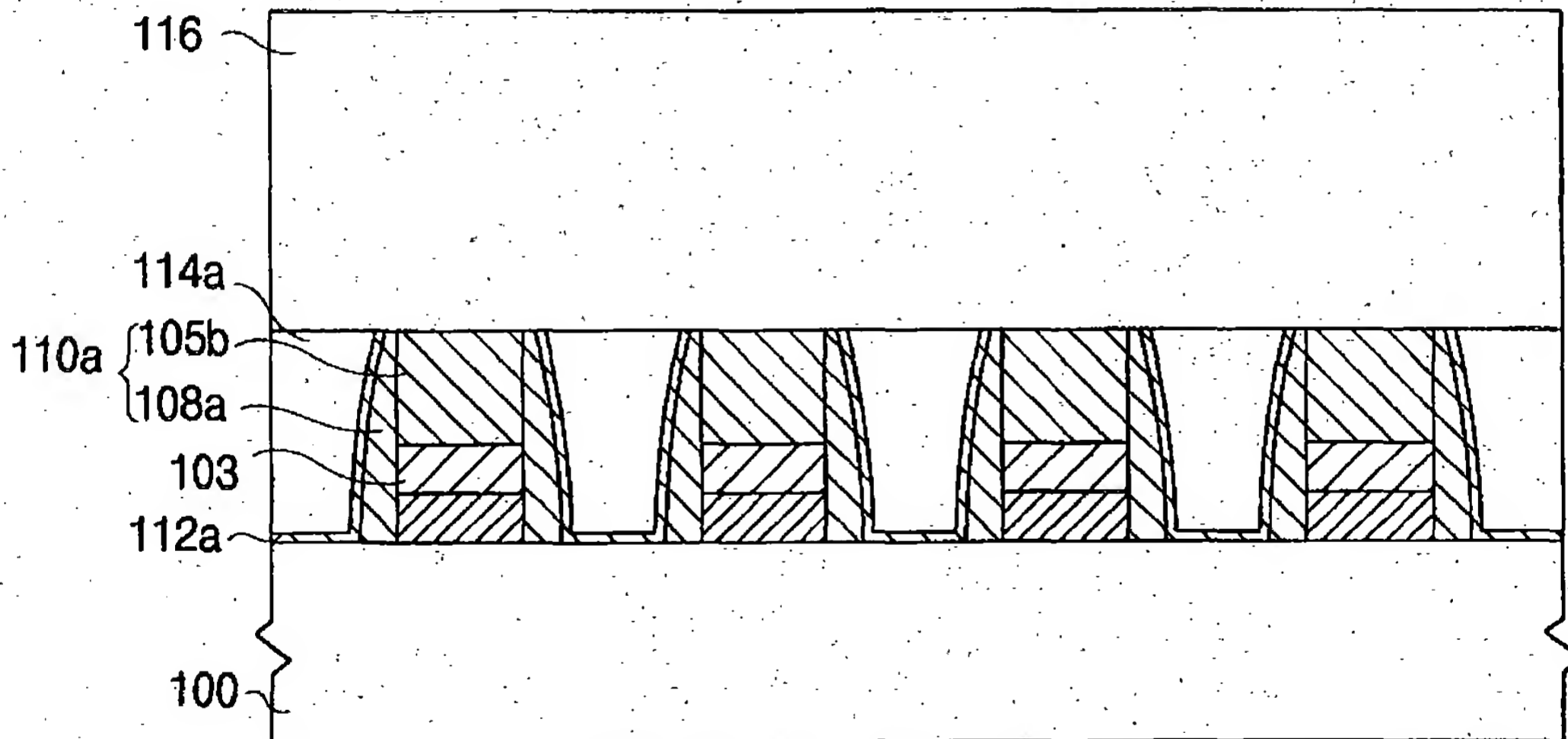
【도 4a】



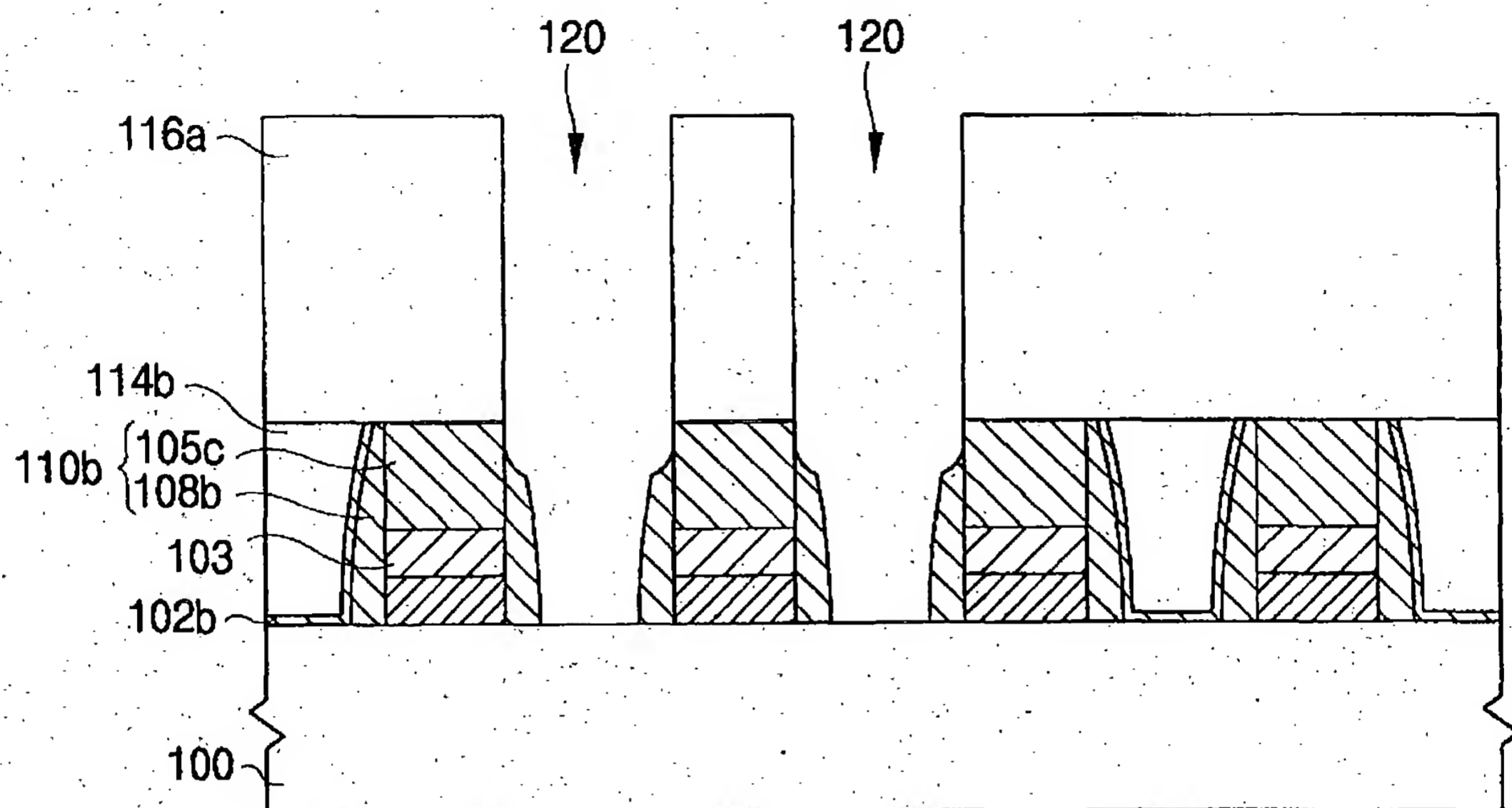
【도 4b】



【도 4c】



【도 4d】



【도 4e】

